

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

CT-014208

us/sas

09/493.270

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 MAY 1 5 2000

Date of Application:

1999年11月 1日

出 願 番 号

Application Number:

平成11年特許願第310785号

出 願 人

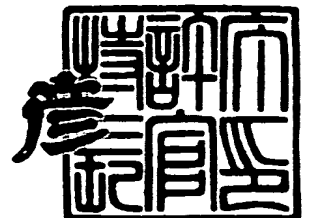
Applicant (s):

キヤノン株式会社

2000年 2月18日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3008141

【書類名】 特許願

【整理番号】 4031097

【提出日】 平成11年11月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/00

【発明の名称】 画像処理装置

【請求項の数】 39

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キヤノン株式会社
内

【氏名】 繁田 和之

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100086287

【弁理士】

【氏名又は名称】 伊東 哲也

【選任した代理人】

【識別番号】 100103931

【弁理士】

【氏名又は名称】 関口 鶴彦

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第 22751号

【出願日】 平成11年 1月29日

【手数料の表示】

【予納台帳番号】 002048

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703596

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、第 1 のクロックと第 1 の画像同期信号により、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第 2 のクロックと第 2 の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第 2 のクロックを作成するクロック発生部と、第 2 のクロックを入力し前記第 2 の画像同期信号を出力する同期制御部とからなる画像処理装置において、

前記同期制御部は、第 2 のクロックを分周して、第 1 の画像同期信号とは非同期の第 3 の画像同期信号と、第 2 のクロックにより、第 1 の画像同期信号を同期化して作成した第 4 の画像同期信号を作成するとともに、前記第 3 の画像同期信号と前記第 4 の画像同期信号を切り換えて、前記第 2 の画像同期信号として出力することを特徴とする画像処理装置。

【請求項 2】 前記同期制御部は、前記第 1 の画像同期信号の垂直周波数に応じて、前記第 3 の画像同期信号と前記第 4 の画像同期信号の一方を選択し、前記第 2 の画像同期信号として出力することを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記同期制御部は、出力する画像の使用目的に応じて、前記第 3 の画像同期信号と前記第 4 の画像同期信号の一方を選択し、前記第 2 の画像同期信号として出力することを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 複数の入力系信号処理部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、前記複数の入力系信号処理部に入力される複数の入力信号に同期した複数の第 1 のクロック群と第 1 の画像同期信号群を用いて、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第 2 のクロックと第 2 の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第 2 のクロックを作成するクロック発生部と、第 2 のクロックを入力し前記第 2 の画像同期信号を出力

する同期制御部からなる画像処理装置において、

前記同期制御部は、第 2 のクロックから分周され、第 1 の画像同期信号群とは非同期の第 3 の画像同期信号と、第 2 のクロックにより、第 1 の画像同期信号群をそれぞれ同期化して作成した第 4 の画像同期信号群を作成するとともに、前記第 3 の画像同期信号と前記第 4 の画像同期信号群の中から一つの画像同期信号を選択して、前記第 2 の画像同期信号として出力することを特徴とする画像処理装置。

【請求項 5】 前記同期制御部は、前記第 1 の画像同期信号群の任意の信号の垂直周波数に応じて、前記第 3 の画像同期信号と前記第 4 の画像同期信号群の中から一つの画像同期信号を選択し、前記第 2 の画像同期信号として出力することを特徴とする請求項 4 記載の画像処理装置。

【請求項 6】 前記同期制御部は、出力する画像の使用目的に応じて、前記第 3 の画像同期信号と前記第 4 の画像同期信号群の中から一つの画像同期信号を選択し、前記第 2 の画像同期信号として出力することを特徴とする請求項 4 記載の画像処理装置。

【請求項 7】 前記同期制御部は、前記複数の入力系信号処理部に入力する信号の動画の有無や割合に応じて、前記第 3 の画像同期信号と前記第 4 の画像同期信号群の中から一つの画像同期信号を選択し、前記第 2 の画像同期信号として出力することを特徴とする請求項 4 記載の画像処理装置。

【請求項 8】 前記同期制御部は、前記複数の入力系信号の用途や種類に応じて、前記第 3 の画像同期信号と前記第 4 の画像同期信号群の中から一つの同期信号を選択し、第 2 の画像同期信号として出力することを特徴とする請求項 4 記載の画像処理装置。

【請求項 9】 前記画像処理装置は、前記複数の入力系信号処理部に入力する信号源に対して、入力する画像信号を設定、あるいは再設定する要求を出力するとともに、前記第 3 の画像同期信号と前記第 4 の画像同期信号群の中から選択して出力する第 2 の画像同期信号に同期していない任意の入力信号源に対して、第 2 の画像同期信号に同期する要求を出力する手段を有することを特徴とする請求項 4 ～ 8 のいずれか 1 項に記載の画像処理装置。

【請求項 1 0】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、前記複数の系統の映像信号の画像特性情報により、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号に適した動作に変更することを特徴とする画像処理装置。

【請求項 1 1】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、前記複数の系統の映像信号の画像特性情報と前記信号出力部に接続された画像表示部の特性情報から、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号と前記信号出力部に接続された画像表示部に適した動作に変更することを特徴とする画像処理装置。

【請求項 1 2】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、入力する前記複数の系統の映像信号の少なくとも一つに対して画像特性の変更要求を行なう通信手段を持ち、前記複数の系統の映像信号の画像特性情報から、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号に適した動作に変更するとともに、優先する系統の映像信号以外の少なくとも一つの系統の映像信号に対して、前記画像処理手段の動作に適した画像特性に変更することを要求することを特徴とする画像処理装置。

【請求項 1 3】 複数の系統の映像信号が入力される少なくとも一つの信号

入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、入力する前記複数の系統の映像信号の少なくとも一つに対して画像特性の変更要求を行なう通信手段を持ち、前記複数の系統の映像信号の画像特性情報と前記信号出力部に接続された画像表示部の特性情報から、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号と前記信号出力部に接続された画像表示部に適した動作に変更するとともに、優先する系統の映像信号以外の少なくとも一つの系統の映像信号に対して、前記画像処理手段の動作に適した画像特性に変更することを要求することを特徴とする画像処理装置。

【請求項 1 4】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、前記複数の系統の映像信号の、前記信号出力部に出力する画面上の配置条件により、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号に適した動作に変更することを特徴とする画像処理装置。

【請求項 1 5】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、前記複数の系統の映像信号の画像特性情報と前記信号出力部に出力する画面上の配置条件により、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号に適した動作に変更することを特徴と

する画像処理装置。

【請求項 16】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、前記複数の系統の映像信号の画像特性情報と前記信号出力部に出力する画面上の配置条件および前記信号出力部に接続された画像表示部の特性情報から、優先する映像信号を選択して、前記信号出力部に接続された画像処理手段の動作を、優先する系統の映像信号と前記信号出力部に接続された画像表示部に適した動作に変更することを特徴とする画像処理装置。

【請求項 17】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、入力する前記複数の系統の映像信号の少なくとも一つに対して、画像特性の変更要求を行なう通信手段を持ち、前記複数の系統の映像信号の画像特性情報と前記信号出力部に出力する画面上の配置条件から、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号に適した動作に変更するとともに、優先する系統の映像信号以外の少なくとも一つの系統の映像信号に対して、前記画像処理手段の動作に適した画像特性に変更することを要求することを特徴とする画像処理装置。

【請求項 18】 複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、

前記制御手段は、入力する前記複数の系統の映像信号の少なくとも一つに対し

て画像特性の変更要求を行なう通信手段を持ち、前記複数の系統の映像信号の画像特性情報と前記信号出力部に出力する画面上の配置条件および前記信号出力部に接続された画像表示部の特性情報から、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号と前記信号出力部に接続された画像表示部に適した動作に変更するとともに、優先する系統の映像信号以外の少なくとも一つの系統の映像信号に対して、前記画像処理手段の動作に適した画像特性に変更することを要求することを特徴とする画像処理装置。

【請求項 19】 前記制御手段は、前記優先する入力映像信号を選択して、変更した前記画像処理手段の動作内容を記憶する記憶手段を有することを特徴とする請求項 10～18 のいずれか 1 項に記載の画像処理装置。

【請求項 20】 前記制御手段において、前記画像処理手段の最適化される動作は、表示部の表示画面の更新周期であることを特徴とする請求項 10～18 のいずれか 1 項に記載の画像処理装置。

【請求項 21】 前記制御手段において、前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、入力画像の更新周期の情報であり、前記画像処理手段の最適化される動作は、表示部の表示画面の更新周期であることを特徴とする請求項 10～13 および請求項 15～18 のいずれか 1 項に記載の画像処理装置。

【請求項 22】 前記制御手段において、前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、入力画像の動画静止画判別の情報であり、前記画像処理手段の最適化される動作は、表示部の表示画面の更新周期であることを特徴とする請求項 10～13 および請求項 15～18 のいずれか 1 項に記載の画像処理装置。

【請求項 23】 前記制御手段において、前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、入力画像の用途や種類の情報であり、前記画像処理手段の最適化される動作は、表示部の表示画面の更新周期であることを特徴とする請求項 10～13 および請求項 15～18 のいずれか 1 項に記載の画像処理装置。

【請求項 24】 前記制御手段において、前記優先する入力映像信号を選択

する上で参照する前記画像特性情報は、入力画像の解像度の情報であり、前記画像処理手段の最適化される動作は、表示部の表示画面の解像度であることを特徴とする請求項 1 0 ～ 1 3 および請求項 1 5 ～ 1 8 のいずれか 1 項に記載の画像処理装置。

【請求項 2 5】 前記制御手段において、前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、入力画像のガンマ特性の情報であり、前記画像処理手段の最適化される動作は、表示部の表示素子に対するガンマ補正であることを特徴とする請求項 1 0 ～ 1 3 および請求項 1 5 ～ 1 8 のいずれか 1 項に記載の画像処理装置。

【請求項 2 6】 前記制御手段において、前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、入力画像の色に関する情報であり、前記画像処理手段の最適化される動作は、表示部に対する色補正であることを特徴とする請求項 1 0 ～ 1 3 および請求項 1 5 ～ 1 8 のいずれか 1 項に記載の画像処理装置。

【請求項 2 7】 前記制御手段において、前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、入力画像の明るさと明暗の情報であり、前記画像処理手段の最適化される動作は、表示部の表示素子に対する明るさと明暗の補正であることを特徴とする請求項 1 0 ～ 1 3 および請求項 1 5 ～ 1 8 のいずれか 1 項に記載の画像処理装置。

【請求項 2 8】 複数の入力系の画質調整を行なう入力系画像処理部と、少なくとも 1 画面分の画像を記憶する記憶領域を有するメモリ部と、このメモリ部に対して画像データの書き込み動作と読み出し動作を行なうとともに、複数の入力系の画像を 1 画面に合成した信号を出力するメモリ制御部と、前記合成された信号を画質調整を行なうとともに画像表示用出力として出力する出力系画像処理部と、前記入力系画像処理部と前記出力系画像処理部を制御するとともに画像表示用信号を出力する画質制御部とを有する画像処理装置において、

前記画質制御部は、前記複数の入力系の画像に対する補正特性群と該画質制御部に接続される画像表示部の表示特性に対する補正特性を有するとともに、前記複数の入力系の画像に対する補正特性群の中から一つを選択し、それを前記画像

表示部の表示特性に対する補正特性と合成した補正特性に変換して、前記出力系画像処理部において一括処理させることを特徴とする画像処理装置。

【請求項 2 9】 前記画質制御部は、前記複数の入力系画像処理部において抽出した画質情報を用いて、前記複数の入力系の画像に対する補正特性群の中から一つを選択し、それを前記画像表示部の表示特性に対する補正特性と合成した補正特性に変換して、前記出力系画像処理部において一括処理させることを特徴とする請求項 2 8 記載の画像処理装置。

【請求項 3 0】 前記画質制御部は、出力する画像の使用目的に応じて前記複数の入力系の画像に対する補正特性群の中から一つを選択し、それを前記画像表示部の表示特性に対する補正特性と合成した補正特性に変換して、前記出力系画像処理部において一括処理させることを特徴とする請求項 2 8 記載の画像処理装置。

【請求項 3 1】 前記画質制御部は、前記複数の入力系信号の用途や種類に応じて前記複数の入力系の画像に対する補正特性群の中から一つを選択し、それを前記画像表示部の表示特性に対する補正特性と合成した補正特性に変換して、前記出力系画像処理部において一括処理させることを特徴とする請求項 2 8 記載の画像処理装置。

【請求項 3 2】 前記画像処理装置は、前記複数の入力系信号処理部に入力する信号源に対して、入力する画像信号を設定、あるいは再設定する要求を出力する手段と、前記複数の入力系の画像に対する補正特性群の中から前記画像表示部の表示特性に対する補正特性と合成することを選択されなかった任意の入力信号源に対して、前記合成された補正特性に適した入力画像の特性に変更する要求を出力する手段を有することを特徴とする請求項 2 8 ～ 3 1 のいずれか 1 項に記載の画像処理装置。

【請求項 3 3】 画像表示装置の信号処理部として用いられることを特徴とする請求項 1 ～ 3 2 のいずれか 1 項に記載の画像処理装置。

【請求項 3 4】 コンピュータの画像表示部用信号処理部として用いられることを特徴とする請求項 1 ～ 3 2 のいずれか 1 項に記載の画像処理装置。

【請求項 3 5】 デジタルテレビの画像表示部用信号処理部として用いられ

ることを特徴とする請求項 1 ～ 3 2 のいずれか 1 項に記載の画像処理装置。

【請求項 3 6】 前記画像表示装置が、液晶の表示部を有するものであることを特徴とする請求項 3 3 ～ 3 5 のいずれか 1 項に記載の画像処理装置。

【請求項 3 7】 前記画像表示装置が、プラズマディスプレイまたは電荷放出型デバイスの表示部を有するものであることを特徴とする請求項 3 3 ～ 3 5 のいずれか 1 項に記載の画像処理装置。

【請求項 3 8】 前記画像表示装置が、光を反射して画像表示を行なう反射型のデバイスを用いた表示部を有するものであることを特徴とする請求項 3 3 ～ 3 5 のいずれか 1 項に記載の画像処理装置。

【請求項 3 9】 請求項 1 ～ 3 8 のいずれか 1 項に記載の画像処理装置の動作をコンピュータに実現させるためのプログラムを記録したコンピュータ読み取り可能な媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、様々なフォーマットを有する画像信号を所望のフォーマットの画像信号に変換したり、合成したりする画像処理装置に関する。

【0 0 0 2】

【従来の技術】

近年のマルチメディア化に伴い、ディスプレイも多様な画像信号フォーマットのものを表示する機会が増えている。特に、以前はTVセットとパーソナルコンピュータ（PC）のディスプレイは全くの別物であったが、相互の融合化が進み、PCの画像を表示できるTVや、TVの信号を入力できるPCのディスプレイが現れてきた。また、デジタルテレビやMPEGなどの新しいデジタルフォーマットの映像ソースの出現や3次元グラフィックスの高度化が進み、PC用ディスプレイといえども、動画を表示する割合が増加してきている。

【0 0 0 3】

図6に従来のこうしたディスプレイのブロック図を示す。同図において、1-1はアナログの画像信号の入力端子であり、1-2は入力信号の水平同期信号（

IHD) 入力端子であり、1-3 は入力信号の垂直同期信号 (IVD) 入力端子である。2 は AD コンバータであり、入力端子 1-1 に入力されるアナログの画像信号を n ビットのデジタル信号に変換する。3 は入力系画像処理部、4 はメモリ制御部、5 は画像データを格納するメモリ部、6 は出力系画像処理部であり、7 は画像表示部である。20-1、20-2、20-3、20-4 は各部へ n ビットのデジタル信号を伝送するデータバスである。21 はメモリの制御線およびアドレス線から構成される制御バスであり、22 はメモリのデータバスである。

【0004】

また、8 は PLL (Phase Locked Loop) 回路であり、ICK は入力 IHD に同期した入力系クロックである。12 は発振回路であり、出力系クロック OCK を発生する。11 は H および V カウンタ回路であり、出力系クロック OCK から出力系水平同期信号 OHD および垂直同期信号 OVD を作成する。9 はマイクロコンピュータ (μ COM) 部であり、19 は各部を制御する m 本の制御バスである。

【0005】

デジタル画像信号はメモリ部 5 に格納される前に入力系画像処理部 3 で画質の調整や画像の縮小変換等の処理を行なわれ、メモリ制御部 4 に転送される。メモリ制御部 4 では入力同期信号 (IHD、IVD) と入力系クロック ICK に対応したタイミングでメモリ部 5 に画像データを格納するとともに、出力系のクロック OCK、水平同期信号 OHD および垂直同期信号 OVD のタイミングで画像データをメモリ部 5 から読み出し出力系画像処理部 6 にデータを転送する。画像処理部 6 では、画質の調整や、画像の拡大変換などが行なわれる。これにより、入力系の様々なフォーマットの入力画像をメモリを介在して画像表示部 7 に適したフォーマットの画像信号に変換している。

【0006】

さらに、最近、ワイド対応のテレビやプラズマディスプレイ、リア型プロジェクション TV や投射型のプロジェクターなどの大画面の表示装置において、映画や TV、ホームビデオ、プレゼンテーション、TV 会議、各種資料の表示などのさまざまな映像ソースをオフィスや家庭で利用する場面が増加している。さらに

、このような形態のなかで、1つの画面内に複数の異なる入力ソースの画像を画面内に分割して表示を行なうマルチ画面表示の表示装置がある。

【0007】

図13に従来こうした場面で用いられるディスプレイの例として、1系統はデジタルのコンピュータ画像信号の入力であり、もう1系統はアナログのコンピュータ画像信号の入力である2系統のPC入力を有し、フレームメモリの出力を制御して合成を行ない、1系統の画像表示部に2画面のマルチ画面表示を行なう画像表示装置の画像処理部のブロック図を示す。

【0008】

図13において、1-1aは1系統目(PC1)のqビットのデジタルのコンピュータ画像信号(IDATA1)の入力端子である。ここでは、本来、赤、青、緑(RGB)の3系統あるはずであるが、構成の説明を簡単にするため、1系統で示している(以下同様)。1-1bは入力信号の水平同期信号(IHD1)入力端子であり、1-1cは入力信号の垂直同期信号(IVD1)入力端子である。1-1dは画像信号のクロック(ICK1)入力端子であり、1-1eは、DDC(DDC1)入出力端子である。20-1a-1、20-1a-2は各部へqビットのデジタルの画像信号を伝送するデータバスである。また、20-1b、20-1c、20-1d、20-1eは、それぞれ、IHD1、IVD1、ICK1、DDC1の信号線である。

DDCとは、標準化団体であるVESA(Video Electronic Standard Association)が勧告した、コンピュータが表示装置を認識および制御するための通信手段の標準である。

【0009】

1-2aは、2系統目(PC2)のアナログのコンピュータ画像信号(IDATA2)の入力端子である。1-2bは入力信号の水平同期信号(IHD2)入力端子であり、1-2cは入力信号の垂直同期信号(IVD2)入力端子である。1-2eはDDC(DDC2)入出力端子である。

2はADコンバータであり、アナログの画像信号(IDATA2)をnビットのデジタル信号に変換する。また、8はPLL回路であり、端子1-2bから入

力した水平同期信号（IHD2）に同期したPC2側の入力系のクロック（ICK2）を発生する。

【0010】

20-2a-0はアナログの信号線であり、20-2a-1、20-2a-2はnビットのデジタルの信号線である。また、20-2b、20-2c、20-2d、20-2eは、それぞれ、IHD2、IVD2、ICK2、DDC2の信号線である。

【0011】

3-1はPC1の入力系の画像処理部であり、3-2はPC2の入力系の画像処理部である。4は2系統の入力画像処理部から入力された画像信号を、一旦メモリに記憶し、マルチ画面として出力するために、画像を合成して出力系の画像処理部に出力する制御を行うメモリ制御部である。5-1、5-2は入力系PC1、PC2にそれぞれ対応したフレームメモリ（メモリA、メモリB）である。21-1、21-2はそれぞれメモリA、Bの制御バスであり、22-1、22-2はそれぞれメモリA、Bのデータバスである。

【0012】

9は、システムを制御するマイコン部であり、19-1および19-2はマイコンから各部への制御線およびデータ線からなるマイコンバス（MB）である。

12は発振回路であり、出力系のクロック（OCK）を発生する。

11はH、Vカウンタ回路であり、出力系のクロック（OCK）をカウントして、出力系の水平同期信号（OHD）と垂直同期信号（OVD）を作成する。

【0013】

また、6は出力系の画像処理部であり、7は液晶やプラズマディスプレイ、CRTなどの画像表示部である。

1-fは画像表示用デジタルデータ（ODATA）の画像表示部の入力端子であり、1-gは出力信号の水平同期信号（OHD）の画像表示部の入力端子であり、1-hは出力信号の垂直同期信号（OVD）の画像表示部の入力端子である。1-iは、出力画像信号のクロック（OCK）の画像表示部の入力端子であり、1-jは、マイコンバス（MB）の画像表示部の入力端子である。

【0014】

また、 $20-f-1$ 、 $20-f-2$ 、 $20-f-3$ はkビットのODATAの信号線である。 $20-g-1$ 、 $20-g-2$ はOHDの信号線である。 $20-h-1$ 、 $20-h-2$ はOVDの信号線である。 $20-i-1$ 、 $20-i-2$ はOCKの信号線である。

【0015】

画像の入力端子1-1aから入力したデジタル画像信号は、5-1のメモリ部Aに格納される前に3-1の入力系画像処理部1で画質の調整や画像の縮小変換等の処理を行なわれてから、4のメモリ制御部に転送される。

また、画像の入力端子1-2aから入力したアナログ画像信号は、PLL回路8で作成されたクロックに同期して、ADコンバータ2でデジタルデータに変換される。こうして得られたデジタル画像信号は、5-2のメモリ部Bに格納される前に3-2の入力系画像処理部2で画質の調整や画像の縮小変換等の処理を行なわれてから、4のメモリ制御部に転送される。

【0016】

メモリ制御部4では、IDATA1を処理した信号に基づき、入力同期信号（IHD1、IVD1）と入力系クロックICK1に対応したタイミングで5-1のメモリ部Aに画像データを格納するとともに、IDATA2からデジタルに変換された信号を、入力同期信号（IHD2、IVD2）と入力系クロックICK2に対応したタイミングで5-2のメモリ部Bに画像データとして格納する。さらに、出力系のクロックOCK、水平同期信号OHD、垂直同期信号OVDに同期した所定の画像の大きさ、表示位置の關係に合ったタイミングで2つの画像データをメモリ部5-1と5-2から読み出して、出力系画像部6にデータを転送する。画像処理部6では、画質の調整や、画像の拡大変換などが行なわれる。これにより、入力系の様々なフォーマットの入力画像をメモリを介在して画像表示部7に適したフォーマットの画像信号に変換するとともに、2入力から入力された画像データを1画面上に合成してマルチ画面表示を行なう。

【0017】

図7に、図6および図13のディスプレイにおいて、画像表示部7の解像度が

XGA（横 1024 画素×縦 768 画素）、表示垂直周波数が 75 Hz である場合に、入力信号（図 6 の入力信号または図 13 の PC1 入力もしくは PC2 入力）として①VGA（横 640 画素×縦 480 画素）100 Hz、および②SVGA（横 800 画素×縦 600 画素）60 Hz の画像信号が入力された場合の動作タイミングの例を示した。図 7 の説明上、図 13 の装置に関しては PC1 入力の系統も PC2 入力の系統も同様の動作のため、同じこととして説明する。

【0018】

図 7 において、30、31 および 32 は入力が VGA 100 Hz の時の入力系の垂直同期信号 IVD（IVD、IVD1 または IVD2）、水平同期信号 IHD（IHD、IHD1 または IHD2）およびクロック ICK（ICK、ICK1 または ICK2）を示す。IVD は 1 周期が $1/100 \text{ sec}$ であり、かつブランキング期間の分 $\alpha 1$ を含んだ、IHD の $(480 + \alpha 1)$ 本分の期間である。また、IHD の 1 周期は、ブランキング期間の分 $\beta 1$ を含んだ、ICK の $(640 + \beta 1)$ CLK 分の期間である。

【0019】

33、34 および 35 は入力が SVGA 60 Hz の時の IVD（IVD、IVD1 または IVD2）、IHD（IHD、IHD1 または IHD2）および ICK（ICK、ICK1 または ICK2）を示す。IVD は 1 周期が $1/60 \text{ sec}$ であり、かつブランキング期間の分 $\alpha 2$ を含んだ、IHD の $(600 + \alpha 2)$ 本分の期間である。また、IHD の 1 周期は、ブランキング期間の分 $\beta 2$ を含んだ、ICK の $(800 + \beta 2)$ CLK 分の期間である。

【0020】

36、37 および 38 は出力が XGA 75 Hz の時の出力系の垂直同期信号 OVD、水平同期信号 OHD およびクロック OCK を示す。OVD は 1 周期が $1/75 \text{ sec}$ であり、かつブランキング期間の分 $\alpha 3$ を含んだ、OHD の $(768 + \alpha 3)$ 本分の期間である。また、OHD は 1 周期がブランキング期間の分 $\beta 3$ を含んだ、OCK の $(1024 + \beta 3)$ CLK 分の期間である。

【0021】

このように、入力系の水平同期信号、垂直同期信号および入力クロックは解像

度によって異なる周期を持つ。図6の装置において、マイコン部9はこのIHD、IVDなどから解像度やフォーマットを判別してPLL回路8の分周比を設定し、それぞれのフォーマットに相当したICKを発生させる。一方、出力系は入力系の信号とは非同期で、出力クロックOCKからカウンタ回路11で一定のカウント値で作成されたOHD、OVDで動作する。このようにして、入力系と出力系の垂直周波数つまり、画面の更新周波数（フレームレート）の変換が行なわれる。

【0022】

図13の装置においては、入力系1（PC1入力）の場合、IHD1、IVD1、ICK1に同期させて、入力の信号処理系を動作させ、メモリAに記録する。入力系2（PC1入力）の場合は、まず、マイコン部9が、このIHD2、IVD2やDDC2でやりとりする情報により解像度やフォーマットを判別して、PLL回路8により、それぞれのフォーマットに相当したICK2を発生させる。次に、IHD2、IVD2、ICK2に同期させて、入力の信号処理系を動作させて、メモリBに画像の記録を行う。

【0023】

一方、出力系は入力系の信号とは非同期で、出力クロックOCKからカウンタ回路で一定のカウント値でOHD、OVDの作成を行ない、メモリAおよびメモリBからOCK、OHD、OVDに同期したタイミングで2系統の画像が読み出されるとともに、合成され、出力系の画像処理部および画像表示部に送られる。このようにして、入力系と出力系の解像度変換および垂直周波数つまり、画面の更新周波数（フレームレート）の変換が行なわれる。

【0024】

【発明が解決しようとする課題】

しかしながら、このフレームレート変換においては、図8に具体例を示すような動画像の画質劣化の問題点が存在する。図8の説明においても図13に関しては、PC1入力の系統もPC2入力の系統も同様の動作のため、同じ現象が生じる。ここでは、入力の垂直周波数と出力の垂直周波数の比が5：4の場合（例えば100Hzと80Hzなど）を例として示す。図8において、41は入力され

る連続した5枚(a～e)のフレーム画像、42は同じ期間に表示装置に出力される連続した4枚(f～1)のフレーム画像である。矢印が画面左から右方向へ移動する動画を表示している。

【0025】

同じメモリ領域に1画面を書き込みながら読み出しているため、(a)と(f)、(e)と(i)のようにたまたま1画面を書き換えるタイミングと読み出すタイミングが近い時は画面上に変化は現れないが、(g)、(h)のように画面を読み出している途中で画面が書き変わるタイミングになると、1画面の途中で前後の画面が切り替わり、動いている画像が画面の上下でずれてみえてしまう。これは“画像の追い越し”とよばれ、動画を表示する場合の画像の品位が落ちてしまう現象である。これは、逆に出力の垂直周波数が入力の垂直周波数より速い場合も同様の現象として現れる。

【0026】

この現象は、比較的画面に対して大きめの幾何学的な物体が水平に平行移動している時に目立ちやすいが、自然画などではあまり目立ちにくく、また、従来のPCはワープロ、表計算、描画といった静止画の用途が多いため、大きな問題にはならなかった。しかしながら、前述したようにPCといえども最近は動画を表示する機会が多くなり、また、幾何学的なグラフィックの移動する画面も多くなってきたため動画に対する要求も高くなってきている。

【0027】

このような問題の対策として、ダブルバッファリングという方法がある。これは、メモリ領域を1画面分ではなく、2画面分用意して1画面おきに交互にメモリ領域を切り換えて書き込むとともに、読み出しは画面の追い越しが起きないように、必ず読み出しているメモリ領域の走査が、そのメモリ領域の書込みの走査より先行する関係となるようにメモリ領域を選択するように制御する方法である。

【0028】

例えば、XGA(1024×768)の画素数のデータを格納する場合、図9のメモリマップに示すようにアドレス00000h～BFFFFhの第1のメモ

り領域に m 、 $m+2$ 、 $m+4 \cdots$ フィールドといった偶数番目のフィールドの入力画像を格納し、 $C0000h \sim 17FFFFh$ の第2のメモリ領域に $m+1$ 、 $m+3$ 、 $m+5 \cdots$ フィールドといった奇数番目のフィールドの入力画像を格納する。図10にこの時のメモリの書込みと読み出しの動作のタイミングチャートを示す。61に入力 of 垂直同期信号 (IVD) を、64に出力 of 垂直同期信号 (OVD) を示す。ここでの説明も図13に関してはPC1入力とPC2入力に共通するので、IVDはIVD1またはIVD2 (もしくは両方) を示し、また第1のメモリ領域と第2のメモリ領域はメモリAまたはメモリB (もしくは両方) にそれぞれ設けられると仮定する。

【0029】

IVD61が入る度に m 、 $m+1$ 、 $m+2 \cdots$ というように入力フィールドが更新され、またOVD64が入る度に n 、 $n+1$ 、 $n+2 \cdots$ というように入出力フィールドが更新される。62に第1のメモリ領域の書込みが行なわれることを示す信号 (WE1) を、63に第2のメモリ領域の書込みが行なわれることを示す信号 (WE2) を、65に第1のメモリ領域の読み出しが行なわれることを示す信号 (RE1) を、63に第2のメモリ領域の読み出しが行なわれることを示す信号 (RE2) を示す。ここでは、アクティブ High で示す。

【0030】

書込みは前述したように、入力フィールドの偶数番目と奇数番目で交互に第1と第2のメモリ領域に書き込まれるが、読み出しは書込み途中が表示されないフィールドを選択して読み出されている。ここでは、入力に対して出力側が垂直周波数が高いので出力VDがHighになった時の入力フィールドが第1のメモリ領域を書き込んでいる場合、第2のメモリ領域を読み出し、第2のメモリ領域を書き込んでいる場合、第1のメモリ領域を読み出すように制御して、追い越し現象が現れないようにしている。出力側の垂直周波数が低い場合は、入力のVD (IVD) と出力のVD (OVD) の関係をみながら、追い越しが起きないように制御する必要がある。いずれにしても、第1のメモリと第2のメモリの読み出しタイミングは入力と出力の周波数や、同期信号間の関係にあわせて、必ず読み出しているメモリ領域の走査が、そのメモリ領域の書込みの走査より先行する関係

となるようにメモリ領域を切り換えるように設定される。

【0031】

しかしながら、このダブルバッファリング方式においても、以下に示すような動画上の問題点がある。

ダブルバッファリングの場合、現在書込み途中のメモリ領域を表示しないように、もう一方のメモリ領域を選択することから、例えば図11のように、入力画面71(a)～(d)の、人が片手をまわしているような連続した動きの画面がある場合に、72(e)～(i)のようにフレームレートを変換された出力のうち(e)と(f)のように、同じ画像が2フィールド連続する“フレームの二重化”や、図12のように、入力画面81(a)～(d)のような画面がある場合に、82(e)～(g)のようにフレームレートを変換された出力のうち(c)のように、相当するフィールドがなくなる“フレームの欠落”が生じてしまう。

【0032】

また、ダブルバッファリングとは別の方法で動画質を改善する方法としては、入力の垂直周波数と出力の垂直周波数を同期させる方法がある。XGA(1024×768画素)の表示部の場合、VGA(640×480)やSVGA(800×600)などの50Hzの入力信号が入ってきた場合はXGA50Hzに変換して表示を行ない、また、100Hzの入力信号が入ってきた場合はXGA100Hzに変換して表示を行なう方法である。

【0033】

こうした場合、メモリの書込みと読み出しの周期が一致するため、動きの問題点は発生しない。ところが、入力の信号源が50Hzなど低い周波数の場合は、液晶のようにフィールド毎に極性を反転して表示している装置などの場合、同じ極性でみるとさらに半分の周波数となるため、画面の書き換え周期が遅くなり、画面全体がちらついてみえるフリッカ現象となってしまう画質上の問題がある。また、100Hzのように速い周波数になると、VGAのように画素数が低い場合には大した速度でなくても、XGAの画素数の出力に変換すると入力の2.6倍程度のスピードが要求されるため、出力系全体の動作速度を高くしなくてはならない問題点がある。例えば、XGAの60Hzでは65MHz程度のクロックレ

ートのものが、XGA100Hzでは108MHz程度となり、100MHzを越えてしまう。解決のためには、高い動作速度の部品の採用や新規な部品の開発、動作系統を分割して速度を下げるなどの回路構成にする必要などがあり、コストの上昇や回路規模の増大につながってしまう。

【0034】

上記の問題に加えて、入力が2系統以上であることゆえの問題点も存在する。図13の例で示したように、入力系はそれぞれの入力信号と同期して動作するため、PC1入力とPC2入力は基本的に非同期である一方で、出力系は同一のタイミングで2系統の画像を1画面に合成して出力するために、入力と出力の垂直周波数を同期させる方法はどちらか1系統に対しては実施できるが、同時に2系統に対しては適用できない。この問題は、入力系統が増加し、それぞれの動画の画質を重視するマルチ画面用途に対して大きな問題になる。

【0035】

さらに、複数の画像入力に対しては、動画の画質同様に、色や明るさ、コントラストなど、様々な画質特性面でマルチ画面特有の、いずれか1系統の入力系にしか最適化できないか、もしくは最適化する場合回路規模が増大する問題が発生する。

【0036】

ここで、画像のコントラストやブライト、ガンマ特性など画質の階調性に関わる問題の例を図13の回路で示す。

図14は、図13などの画像処理装置に入力する映像信号の1つとして水平方向に階調が8段階に変化するグレースケール信号を示す。14-1はグレースケールでの表示画面であり、14-2はこの時の信号である。14-2において、横軸は1水平走査期間の時間であり、縦軸は信号レベルである。14-3はこのときの入力信号の水平同期信号である。ここでは、1水平期間に、0%から100%までを8段階に等分に変化している。

【0037】

また、図15に、図13の画像表示部7における入力信号に対する表示画面の輝度特性を示す。この特性は、例えば透過型の液晶であれば、入力電圧に対する

光の透過率特性であり、反射型のデバイスであれば、入力電圧に対する光の反射率特性である。この特性は、図 13 の画像表示部 7 によって適した特性が異なる。ここでは、15-1、15-2 の 2 種類の特性を例に挙げて説明する。15-1、15-2 において、横軸は画面表示部の入力信号のレベル、縦軸は表示輝度のレベルであり、イ、ロ、ハはそれぞれ入力信号のあるレベルを示している。

【0038】

ここで、図 13 の PC1、PC2 の 2 系統の入力 IDATA1、IDATA2 に対して、それぞれ図 16 に示す 16-1A、16-1B のように信号レベルの異なる入力信号が入力されたとする。

また、図 16 には図 15 に 15-1 で示す特性の画像表示部を用いた場合の 2 系統の信号での表示輝度レベル 16-4A および 16-4B を示す。16-4A、16-4B に示すように、同様の階調数の入力信号でも IDATA2 の 16-4B が白 100% 黒 0% がつぶれているものの、ほぼ輝度レベルとしては 0% から 100% まで出ているのに対して、もう一方の 16-4A は黒が 60% 程度まで白側にシフトし白く浮いた画像になっている。このため、同一の表示装置に 2 つの画面を同時表示すると、異なる黒レベルで、かつ、コントラストの異なる 2 つの画面が混在するため、非常に見づらい画面表示になる。

【0039】

ここで、図 13 の入力系画像処理部 1 (3-1) および入力系画像処理部 2 (3-2) に AGC (Auto-Gain-Control) 回路を持たせた場合は、入力信号の直流レベルと振幅の異なる信号に対しては補正が行なわれる。しかし、ここで、画像表示部が図 15 の 15-2 の特性を有する表示部に交換された場合、この特性の変化に対しては信号の補正が行われない。

【0040】

図 17 および図 18 に、表示部の特性が図 15 の 15-1 の場合と 15-2 の場合の入力信号と輝度レベルを示す。図 17 および図 18 において、2 系統の入力 IDATA1 および IDATA2 に入力する入力信号 16-1A、16-1B と、入力系画像処理部 1 (3-1) および入力系画像処理部 2 (3-2) の AGC 回路通過後の各信号レベル 16-2A、16-2B、およびこの信号を入力し

たときの表示部の輝度レベル 1 6－4 A、1 6－4 Bを示す。図 1 7 の 1 6－4 A、1 6－4 Bに示すように、1 5－1 の入出力特性では A G Cにより階調は 0 %から 1 0 0 %まで出ている。

しかし、図 1 8 の 1 6－4 A、1 6－4 Bに示すように、1 5－2 の入出力特性では階調は 0 %から 6 0 %までしかでていなく、白側数段階が白つぶれ画像になってしまう。

【0 0 4 1】

このような、画像表示部の特性の交換に対しては、図 1 3 の出力系画像処理部 6 に、画像表示部の特性に対する補正特性を持たせることが考えられる。図 1 9 に、表示部の特性が図 1 5 の 1 5－2 の場合の入力信号と輝度レベルを示す。2 系統の入力 I D A T A 1 および I D A T A 2 に入力する入力信号 1 6－1 A、1 6－1 Bと、入力系画像処理部 1（3－1）および入力系画像処理部 2（3－2）の A G C回路通過後の各信号レベル 1 6－2 A、1 6－2 Bに加えて、出力系画像処理部通過後の各信号レベルを 1 6－3 A、1 6－3 Bに、この信号を入力したときの表示部 7 の輝度レベルを 1 6－4 A、1 6－4 Bに示す。

【0 0 4 2】

このように、各信号の入力系画像処理部に入力信号の補正特性を持ち、出力系画像処理部に表示部の補正特性を持たせることにより、各入力信号のレベル差や、表示部の特性ばらつきの影響の少ないマルチ画面表示が実現される。補正特性としては、明るさ（ブライト）、明暗（コントラスト）、ガンマ特性、およびそれらの各色の系での差から生じるホワイトバランスなどがある。

【0 0 4 3】

しかしながら、このように、入力系と出力系の両方に画像信号の補正特性を設けることは、同様の回路を複数用意することになり、回路規模、調整項目数が増加し、コストの増大を招く。これは、特に入力数が多い構成において問題になる。

さらに、こうした構成は、特性補正のためのデジタル処理系を 2 回以上通すことにより、画像の劣化も招く。図 2 0 に、この説明のための概念図を示す。図 2 0 において、x 軸は入力信号のレベルを、y 軸は出力信号の入力レベルを示す。

この図では 8 ビット 2 5 6 段階のデジタル処理系での、① $y = x$ の入出力特性に対して、② $y = x^2$ の特性 1 のテーブルと③ $y = x^{1/2}$ の特性 2 のテーブルを通過させた後の④ $y = [x^2] * [x^{1/2}] \doteq x$ の入出力特性を示している。本来であれば、④と①は一致するはずであるが、②の特性 1 と③の特性 2 の演算通過の各段階で出力は 8 ビットに規格化されるため、その度に演算誤差が発生して、合成後の④では、0 から 5 0 程度の x に対しての y のビット誤差が大きくなっている。

【 0 0 4 4 】

こうしたことを、従来例に当てはめて考えると、入力系で②のような特性変換を与えて、出力系で③のような特性変換を与えることに相当し、この場合、出力画像の黒レベルの階調性が劣化し、画像に疑似輪郭のような画質劣化が生じることになる。

この現象を避けるために、演算ビットを増加させる方法もあるが、コストや処理系の規模の増大を招く。

【 0 0 4 5 】

このように、従来、複数の入力信号源の画像を同じ表示部に表示するマルチ画面表示において、表示部の特性の変化に対して、異なる入力画像の特性を同じ表示特性に変換する構成は規模が大きくなりコストが増大する問題があった。また、回路構成上ビット誤差の大きな回路となり、画質劣化を招く問題を有していた。このため、容易に各入力系統の明るさやコントラスト、階調性、色などを揃えられなかった。

【 0 0 4 6 】

また、A G C 回路を入力画像処理装置に持たせた場合は、信号のダイナミックレンジは確保できるが、自動で補正をするため、本来表示すべき信号レベルまでも補正を行い、信号送出側の意図を無視してしまう問題も存在した。

【 0 0 4 7 】

本発明の第 1 の目的は、安価かつ簡単な回路構成で動画像の画質を改善した画像処理装置を実現することにある。また、複数の入力信号源に対しても、柔軟に動画像に対して適した処理を行なえる画像処理装置を実現することにある。

【0048】

また、本発明の第2の目的は、複数の入力信号源からの入力画像を、同一画面上に表示するマルチ画面表示用の画像処理装置において、各入力系統からの入力信号のフォーマットの違いや表示内容の特徴と画像表示部の特性に対して、柔軟に動画質に適した処理を行なう画像処理装置を安価に実現することにある。

【0049】

さらに、表示部の特性の変化や各入力信号源の特性の差、入力信号の表示内容の特徴に対しても、容易に各入力系統の明るさやコントラスト、階調性、色などの画質特性をシステム全体に最適化した特性に揃えて、同一画面にマルチ画面表示を行なうことのできる画像処理装置を実現することを第3の目的とする。

【0050】

【課題を解決するための手段および作用】

上記第1の目的を達成するため本発明の第1の局面では、少なくとも1画面分の画像を記憶する記憶領域を有するメモリ部と、第1のクロックと第1の画像同期信号により、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第2のクロックと第2の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第2のクロックを作成するクロック発生部と、第2のクロックを入力し前記第2の画像同期信号を出力する同期制御部とからなる画像処理装置において、前記同期制御部は、第2のクロックを分周して、第1の画像同期信号とは非同期の第3の画像同期信号と、第2のクロックにより、第1の画像同期信号を同期化して作成した第4の画像同期信号を作成するとともに、前記第3の画像同期信号と前記第4の画像同期信号を切り換えて、前記第2の画像同期信号として出力することを特徴とする。これらの第3の画像同期信号と前記第4の画像同期信号の切り換えは、例えば第1の画像同期信号の垂直周波数、または出力する画像の使用目的に応じて選択される。

【0051】

本発明は、さらに、複数の入力系信号処理部を有し、そこに入力される画像信号を適宜合成して表示する場合にも適用可能である。この場合、第1の画像同期

信号に同期する第4の画像同期信号としては、複数の第1の画像同期信号のそれぞれに同期する複数の第4の画像同期信号を作成し、作成した複数の第4の画像同期信号と第1の画像同期信号とは非同期の第3の画像同期信号の中から1つの画像同期信号を選択し、前記第2の画像同期信号として出力する。この場合、第2の画像同期信号となる画像同期信号は、複数の第1の画像同期信号のうち適宜のものの垂直周波数、出力する画像の使用目的、または前記複数の入力系信号処理部に入力する信号の動画の有無や割合等に応じて、前記第3の画像同期信号と前記第4の画像同期信号群の中の1つを選択すればよい。さらに、前記複数の入力系信号処理部に入力する信号源に対して、入力する画像信号を設定、あるいは再設定する要求を出力する手段を設け、前記第3の画像同期信号と前記第4の画像同期信号群の中から選択して出力する第2の画像同期信号に同期していない任意の入力信号源に対して、第2の画像同期信号に同期する要求を出力する構成とすることが好ましい。

【 0 0 5 2 】

本発明の第1の局面は、CRTをはじめ透過型、反射型の表示装置、液晶表示装置、PDP（プラズマディスプレイ）や電荷放出型表示装置などの画像表示装置、CCDやCMOS型の2次元撮像素子、およびビデオ信号のキャプチャボード等のデジタル画像処理を伴うあらゆる画像処理装置に適用可能である。

【 0 0 5 3 】

上記第2の目的を達成するため本発明の第2の局面では、複数の系統の映像信号が入力される少なくとも一つの信号入力部と、少なくとも1画面分の画像を記憶する記憶領域を有するメモリ部と、少なくとも一つの画像表示用の信号出力部とを有し、前記複数の系統の映像信号を前記メモリ部上で合成して前記信号出力部に出力する画像処理手段、およびこの画像処理手段を制御する制御手段を有する画像処理装置において、前記制御手段は、前記複数の系統の映像信号の画像特性情報、および前記複数の系統の映像信号に基づく画像の前記画像表示部における画面上の配置条件の少なくとも一つにより、優先する映像信号を選択して、前記画像処理手段の動作を、優先する系統の映像信号に適した動作に変更することを特徴とする。この場合、前記信号出力部に接続された画像表示部の特性情報を

前記優先する映像信号の選択条件に加え、前記画像処理手段の動作を、優先する系統の映像信号と画像表示部とに適した動作に変更するようにしてもよい。また、前記制御手段は、入力する前記複数の系統の映像信号の少なくとも一つに対して画像特性の変更要求を行なう通信手段を持ち、前記画像処理手段の動作を優先する系統の映像信号に適した動作に変更するとともに、優先する系統の映像信号以外の少なくとも一つの系統の映像信号に対して、前記画像処理手段の動作に適した画像特性に変更することを要求するようにしてもよい。

【0054】

前記画像処理手段の最適化される動作は、例えば表示部の表示画面の更新周期である。また、前記制御手段において前記優先する入力映像信号を選択する上で参照する前記画像特性情報は、例えば入力画像の更新周期、動画静止画判別の情報、用途や種類の情報である。また、入力画像の解像度、ガンマ特性の情報、色に関する情報、明るさ（ブライト）と明暗（コントラスト）の情報を参照して、それぞれ表示部の解像度、ガンマ補正、色補正、明るさと明暗補正を最適化するようにしてもよい。

【0055】

上記第3の目的を達成するため本発明の第3の局面では、複数の入力系の画質調整を行なう入力系画像処理部と、少なくとも1画面分の画像を記憶する記憶領域を有するメモリ部と、このメモリ部に対して画像データの書き込み動作と読み出し動作を行なうとともに、複数の入力系の画像を1画面に合成した信号を出力するメモリ制御部と、前記合成された信号を画質調整を行なうとともに画像表示用出力として出力する出力系画像処理部と、前記入力系画像処理部と前記出力系画像処理部を制御するとともに画像表示用信号を出力する画質制御部とを有する画像処理装置において、前記画質制御部は、前記複数の入力系の画像に対する補正特性群と該画質制御部に接続される画像表示部の表示特性に対する補正特性を有するとともに、前記複数の入力系の画像に対する補正特性群の中から一つを選択し、それを前記画像表示部の表示特性に対する補正特性と合成した補正特性に変換して、前記出力系画像処理部において一括処理させることを特徴とする。

【0056】

本発明の第2および第3の局面は、CRTをはじめ透過型、反射型の表示装置、液晶表示装置、PDP（プラズマディスプレイ）や電荷放出型表示装置などの複数の入力画像を表示できる画像表示装置やその画像信号処理回路、コンピュータのグラフィック処理を行なう回路、デジタルTV放送やIEEE1394などから配信される信号を受け取りディスプレイに表示するセットトップボックス等の複数の入力画像を表示するための処理を伴うあらゆる画像処理装置に適用可能である。

【0057】

【実施例】

以下、本発明の実施例について、図面を用いて説明する。

（実施例1）

本発明の第1の実施例の説明のためのブロック図を図1に示す。同図において、1-1はアナログの画像信号の入力端子であり、1-2は入力信号の水平同期信号（IHD）入力端子であり、1-3は入力信号の垂直同期信号（IVD）入力端子である。2はADコンバータであり、入力されたアナログ画像信号をnビットのデジタル信号に変換する。3は入力系画像処理部、4はメモリ制御部、5は画像データを格納するメモリ部、6は出力系画像処理部であり、7は画像表示部である。20-1、20-2、20-3、20-4は各部へnビットのデジタル信号を伝送するデータバスである。21はメモリの制御線とアドレス線から構成される制御バスであり、22はメモリのデータバスである。

【0058】

また、8はPLL回路であり、ICKは入力水平同期信号IHDに同期したクロックである。12は発振回路であり、出力系クロックOCKを発生する。9はマイクロコンピュータ（ μ COM）部であり、19はm本の、各部を制御する制御バスである。

【0059】

デジタル画像信号はメモリ部5に格納される前に入力系画像処理部3で画質の調整や画像の縮小変換等の処理を行なわれ、メモリ制御部4に転送される。メモリ制御部4では入力同期信号（IHD、IVD）と入力系クロックICKに対応

したタイミングでメモリ部5に画像データを格納するとともに、出力系クロックO C K、水平同期信号O H D、垂直同期信号O V Dのタイミングで画像データをメモリ部5から読み出し、出力系画像処理部6にデータを転送する。画像処理部6では、画質の調整や、画像の拡大変換などが行なわれるのは図6の従来例と同様である。

【0060】

図1においては、10が同期制御部であり、出力のフレームレートを決定するブロックである。ここには、入力の同期信号I H D、I V Dと出力系クロックO C Kが入力し、出力系の水平同期信号O H D、垂直同期信号O V Dと書込みフィールド制御信号W Eと読み出しフィールド制御信号R Eを出力する。また、これらの制御をマイコンのバス19によりコントロールする。

【0061】

図2にこの同期制御部10の回路構成例を示す。

図2において、901はO C KをカウントするHカウンタであり、902はO H Dをカウントする第1のVカウンタであり、904はI H Dをカウントする第2のVカウンタであり、905、906、907はカウンタ901、902、904それぞれの出力をデコードして任意のパルスを作成する第1、第2、第3のデコーダである。903と910はD入力フリップフロップ（D-F F）である。また、908および909は入力のパルスを切り換えて出力する第1および第2のスイッチ（S W 1およびS W 2）である。また、911は論理を反転するインバータである。また、912がI H Dの、913がI V Dの、914がO C Kの入力端子であり、915がO H Dの、916がO V Dの、917がR Eの、918がW Eの出力端子である。また、919、920がマイコンの制御バスのうち、各S Wを切り換える信号線の入力端子であり、921、922、923は第1～第3のデコーダの値を設定するためのマイコンの制御バスの入力端子である。

【0062】

925、926、927は各カウンタのクロック入力端子であり、930、931、932は各カウンタのクロックのイネーブル端子であり、934、935

、936は各カウンタの出力端子である。950はHカウンタのリセット端子である。また、出力端子934、935、936、937は各デコーダの入力端子にも接続しており、938、939、940は各デコーダの出力端子である。

【0063】

928、929は各D-FF903、910のクロック端子であり、933はクロックのイネーブル端子、941、942はD-FFの入力端子である。また、943、944はD-FFの非反転出力端子であり、952は反転出力端子である。

【0064】

947、948は第1のスイッチ908の入力端子IN1、IN2であり、949は出力端子である。940、945、946は第2のスイッチ909の入力端子IN3、IN4、IN5であり、951は出力端子である。

【0065】

ここで、Hカウンタ901とデコーダ905でOCKをカウントおよびデコードしてOHDを作成し、915から出力するとともに、作成したOHDを第1のVカウンタ902とデコーダ906でカウントおよびデコードして第1のスイッチの入力端子947に結果を出力する。一方、入力したIVDはD-FF903を通過し、第1のスイッチ908の入力端子948に入力する。入力端子947と948に入力した信号は、端子919に入力されるマイコンからの制御信号により動作モードによって選択、切り換えされて、どちらか一方が端子916にOVDとして出力される。

【0066】

また、D-FF903の出力はD-FF910のイネーブル端子933にも入力し、端子933にIVDが入力する度に極性が反転するメモリ書き込み信号WEを端子918に出力する。また、このメモリ書き込み信号WEとその反転論理信号とが、メモリ読み出し信号の候補信号として第2のスイッチ909の入力端子945、946に入力する。さらにIHDのカウンタ904とOHDのカウンタ902との両者の出力結果をデコーダ907でデコードして、両者の関係で定まる信号もメモリ読み出し信号の候補信号として第2のスイッチ909の入力端

子 9 4 0 に入力し、端子 9 2 0 へのマイコンからの制御信号にしたがって、動作モードによってこの 3 入力の 1 つが選択されて、メモリ読み出し信号 R E として端子 9 1 7 から出力される。

【 0 0 6 7 】

この実施例における、入力信号の周波数に対する動作モードと第 1 および第 2 のスイッチの切り換えて出力される信号との対応表を表 1 に、またその時のタイミングチャートを図 3 に示す。

【 0 0 6 8 】

【表 1】

入力垂直周波数	出力 V 同期	ダブルバッファリング	SW1	SW2
$f < 60\text{Hz}$	入力非同期	○	IN1	IN4
$60\text{Hz} \leq f \leq 80\text{Hz}$	入力同期	×	IN2	IN5
$80\text{Hz} < f$	入力非同期	○	IN1	IN3

【 0 0 6 9 】

表 1 には、入力信号の垂直周波数の範囲に対して、出力の垂直周波数が入力信号に同期しているかどうかと、ダブルバッファリングするかどうか、およびその動作を実現するための図 2 における SW 1、SW 2 の切換出力する信号を示している。

【 0 0 7 0 】

また、図 3 において A 1、A 2、A 3、A 4、A 5 はそれぞれ入力垂直周波数が 1 0 0 H z、8 0 H z、7 5 H z、6 0 H z、5 0 H z のときの入力垂直同期信号 I V D であり、A 6、A 7 は入力周波数が 8 0 H z のときの出力垂直同期信号と出力水平同期信号である。A 8、A 9 は入力周波数が 7 5 H z のときの出力垂直同期信号と出力水平同期信号である。A 1 0、A 1 1 は入力周波数が 6 0 H z のときの出力垂直同期信号と出力水平同期信号である。A 1 2、A 1 3 は入力周波数が 5 0 H z のときと 1 0 0 H z のときの出力垂直同期信号と出力水平同期

信号である。

【 0 0 7 1 】

本実施例では、使用頻度の高い 6 0 H z から 8 0 H z までの垂直周波数の入力信号に対応して出力の垂直同期信号 O V D を入力 of 垂直同期信号 I V D に同期させるモードを、それ以外の入力信号については、入力の垂直同期信号には無関係に出力の垂直同期信号を発生させるモードを選択する構成をとっている。

【 0 0 7 2 】

このため、6 0 H z から 8 0 H z までの垂直周波数の入力信号に対応しては、ダブルバッファリングを用いず（用いてもかまわない）、入力の垂直同期と同期させる方法で動画に対して追い越し、フレームの二重化、および欠落のない画質を実現している。このとき、第 1 のスイッチは I N 2 側、第 2 のスイッチは I N 5（I N 4 でも可）を選択する。

【 0 0 7 3 】

また、6 0 H z 未満の場合は、フリッカ防止のため、S W 1 を I N 1 側としてダブルバッファリングによる動画質の改善を行ない、入力に対しては非同期とする。入力の垂直周波数が出力の周波数より低い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとすればメモリ読み出し走査を書込み走査が追い越すことはないので、S W 2 を I N 4 側としている。

【 0 0 7 4 】

一方、8 0 H z 以上では出力系の動作スピードを抑えるために、S W 1 を I N 1 側としてダブルバッファリングによる動画質の改善を行ない、入力に対しては非同期とする。入力の垂直周波数が出力の周波数より高い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとしても、メモリ読み出し走査を書込み走査が追い越すことがあるので、S W 2 を I N 3 側として、入力の I H D と出力の O H D の関係から追い越しが生じないタイミングでメモリ読み出し信号を出力している。

【 0 0 7 5 】

このとき、図 1 の発振器（O S C）1 2 の周波数は、出力系の最高垂直周波数である X G A 8 0 H z の時のクロック周波数にあわせて設計される。すなわち、

1 フィールド = 1 V 期間 = $1 \text{ S} / 80 = 12.5 \text{ mS}$ であるから、例えば、 $1 \text{ V} = (768 + \alpha) \text{ H} = 808 \text{ H}$ として 1 H 期間 = $15.5 \mu \text{ S}$ 、 $1 \text{ H} = (1024 + \alpha) \text{ CLK} = 1344 \text{ CLK}$ として $1 \text{ CLK} = 11.5 \text{ nS}$ となり、発振器 12 の周波数は、 $1 / 11.5 \text{ nS} = 87 \text{ MHz}$ となる。図 3 において、A2 の 80 Hz の IVD が入力した場合、その出力 $\text{OVD} = \text{IVD}$ となり、OVD の 1 周期間の IHD は $768 + \alpha = 808$ 個に設定される。

【0076】

また、A3、A4 の 75 Hz 、 60 Hz の IHD が入力した場合、対応する OHD である A8、A9 は IHD と同周期になり、また、OVD の 1 周期間の OCK および OHD の周期は一定に保たれるため、OVD 1 周期間の OHD 数が比例して増加する。この $768 + \alpha = 808$ 本を越える分の期間についてはブランキング期間が増加すると考えて表示部を駆動している。

【0077】

一方、入力 IHD が 100 Hz の A1 や 50 Hz の A5 の場合は、入力と非同期に出力の垂直周波数を設定するため、A12 の OVD、A13 の OHD に示すように 80 Hz の時と同じ OVD、OHD 周期でかつ、入力と非同期に自走させている。 $60 \sim 80 \text{ Hz}$ という周波数は、現行の PC や WS (ワークステーション) や DTV (デジタルテレビ) 等、最も広く普及している周波数帯である一方、TV からの動画の映像ソースも NTSC が 60 Hz のため、この範囲に入ってくるため使用頻度が非常に高く動画を最優先させる意味は高い。

【0078】

一方、 50 Hz など、低い周波数のフリッカ現象は、動画、静止画に関らず非常に見づらい画質劣化となる点から、ダブルバッファリングのような簡易的に動画に強い方式をとる方法で、フリッカ防止と動画画質向上を両立させている。

【0079】

また、 100 Hz のように高い垂直周波数の信号に関しては、 100 MHz を超える動作速度が回路的な負担が大きいことを重視し、ダブルバッファリングのような簡易的に動画に強い方式をとる方法で、コスト削減と安定動作を動画画質向上と両立させている。特に液晶や PDP などの表示素子は駆動電圧が 10 数 V

から数十Vという高電圧が必要とされるため、1画素あたりの速度が高速化すると、映像信号系やドライバ回路が非常に高い動作帯域やスルーレートが必要とされる。現状においても、こうした高い速度の駆動に対しては追従できない部分を、複數に分割駆動しているが、さらなる出力系の高速化は高速な部品への変更、新規部品の開発、分割數の変更などの回路変更によるコストアップばかりでなく回路の動作マージンを狭くし、安定的な動作を困難にする要因となる。また、この問題はSXGAやUXGAといった、現状よりもさらに數倍画素數の多い表示素子などを駆動する場合に、特に重要になる。将来の高画素化のためにも、コスト削減と安定動作が動画画質向上と両立できる点が重要になってくる。

【0080】

本実施例のような構成をとることで、システムの全体の動作として、動画に強い構成をとり、特に使用頻度の高い垂直周波數帯で動画の問題のない動作を実現し、また、その他の垂直周波數帯では簡易的に動画に強い動作を行なうことで回路構成の簡素化、安価化を実現している。

【0081】

ここでは、使用頻度の高い垂直周波數帯域以外の周波數をダブルバッファリングさせたが、ダブルバッファリングは、メモリ領域を倍必要とすること、またそのための制御回路部分が必要となるため、機能として省くことも考えられる。特定の垂直周波數帯域は入力 of 垂直周波數に同期させる一方で、その帯域以外の使用頻度は低いと判断し、製品として動作はするが、動画質は改善しない単なる非同期な動作に切り換えることも安価な製品を提供する意味で本發明のひとつの実施の形態である。

【0082】

また、本実施例では、入力信号の垂直周波數により、出力系を入力系と同期させるか非同期とするかを選択したが、本發明の第1の実施形態は出力系を入力系と同期させるか非同期とするかを選択する回路を有することが特徴であり、切り換える基準は入力信号の垂直周波數以外にも、入力信号のフォーマットのほかの項目であったり、システムの動作モードであったり、ユーザー設定などによる場合も含んでいる。実施例2は、このような基準として、動画か静止画かを選択の

基準にした例を示す。

【0083】

(実施例2)

実施例1では、入力信号の垂直周波数によって出力系のV同期を入力同期信号に同期させるか非同期にするかを切り換える例を示したが、実施例2では、動作目的や用途で入力同期信号に同期させるか非同期にするかを切り換える例を示す。図4に実施例2のブロック図を示す。

【0084】

ここでは、入力系が2系統になり、メモリ制御部で合成している。これは、図5に示すように、例えば画面全体(C1)にPCのグラフや表などの出力画面を表示して、子画面部(C2)にTV電話の画像などの動画を出力するなどの、異なる入力源の合成画面を想定した回路構成である。こうした場合、両者の信号には一般的に同期関係がない。また、動画か静止画かは接続される入力源によって多種多様な組み合わせとなる。

【0085】

図4において3-1は入力A系統の画像処理部であり、1-4はqビットのデジタルの画像信号の入力端子であり、1-5は入力信号の水平同期信号(IHD1)入力端子であり、1-6は入力信号の垂直同期信号(IVD1)入力端子、1-7は入力信号の同期クロック(ICK1)入力端子である。また、3-2は入力B系統の画像処理部であり、1-8はアナログの画像信号の入力端子であり、1-9は入力信号の水平同期信号(IHD2)入力端子であり、1-10は入力信号の垂直同期信号(IVD2)入力端子である。2はADコンバータであり、B系統のアナログ信号をnビットのデジタル信号に変換する。4-2はメモリ制御部、5は画像データを格納するメモリ部、6は出力系画像処理部であり、7は画像表示部である。20-5、20-6はqビットのデジタル信号のデータバスであり、20-7、20-8はnビットのデジタル信号を伝送するデータバスである。また、20-9、20-10はrビットのデジタル信号を伝送するデータバスである。21はメモリの制御線とアドレス線から構成される制御バスであり、22はメモリのデータバスである。

【0086】

さらに、1-11、1-12はそれぞれ入力A系統、B系統のDDC (Display Data Cannel) 端子であり、ディスプレイの情報を入力信号源に伝える端子である。なお、DDCは、VESA (Video Electronics Standards Association) により規格化されたコンピュータ用ディスプレイとホストシステム間の通信の標準である。

【0087】

また、8はPLL回路であり、ICK2は入力B系の水平同期信号IHD2に同期したクロックである。12は発振回路であり、出力系クロックOCKを発生する。9はマイクロコンピュータ (μ COM) 部であり、19はm本の、各部を制御する制御バスである。

【0088】

デジタル画像信号はメモリ部5に格納される前に入力系画像処理部3-1、3-2で画質の調整や画像の縮小変換等の処理を行なわれ、メモリ制御部4-2に転送される。また、入力系画像処理部3-1、3-2では動き検出も行ない、その結果をマイコンのバス19を介してマイコン9に送る。メモリ制御部4では入力同期信号 (IHD1、IHD2、IVD1、IVD2) と入力系クロックICK1、ICK2に対応したタイミングでメモリ部5に画像データを格納するとともに、出力系クロックOCK、水平同期信号OHD、垂直同期信号OVDのタイミングで画像データをメモリ部5から読み出し、出力系画像処理部6にデータを転送する。画像処理部6においては、図6の従来例と同様に、画質の調整や、画像の拡大変換などが行なわれる。

【0089】

図4において、10が同期制御部であり、出力のフレームレートを決定するブロックである。ここには、2系統の入力系同期信号IHD1、IVD1、IHD2、IVD2と出力系クロックOCK18が入力し、出力系の水平同期信号OHDおよび垂直同期信号OVDと、書込みフィールドの制御信号WEと、読み出しフィールド制御信号REとを出力する。また、これらの制御をマイコンのバス19によりコントロールする。

【 0 0 9 0 】

ここで、同期制御部 1 0 の動作例を表 2 に示す。実施例 1 同様、出力の垂直同期信号をスイッチを用いて、入力に同期か非同期かを切り換える。実施例 1 と異なるのは、入力が 2 系統になった点と、周波数によって同期関係を切り換えるほかに、入力源 2 系統の動画と静止画の状態によって同期関係を切り換える点である。

【 0 0 9 1 】

【表 2】

動作モード	出力 V 同期 (OVD)
入力 A が動画	入力 IVD1 に同期
入力 B が動画	入力 IVD2 に同期
入力 A、B 共に動画	IVD1 と IVD2 の 速い周期側に同期
マニュアル設定	IVD1 もしくは IVD2 に同期 か、あるいは非同期を選択

【 0 0 9 2 】

前述の入力の画像処理部 3 - 1、3 - 2 の動き検出の結果を受けて、マイコン部 9 からの制御信号により、表 2 のように動作モードを切り換える。一方が動画で一方が静止画の場合は、動画のほうの入力垂直同期信号に OVD を同期させる。また、2 系統とも動画の場合には、IVD1 と IVD2 を比較し速い周期の垂直同期信号に OVD を同期させる。また、据置の TV 会議システムなど、A 系統が PC で B 系統が TV 出力などのように用途が固定している場合には、マニュアル設定で A 系統の IVD1 に同期させるか、B 系統の IVD2 に同期させるか、A、B とも非同期に OVD を発生させるかを決定できるようにしてある。

【 0 0 9 3 】

さらに、本実施例では、DDC などのディスプレイ側の情報を PC などの入力信号源に伝える制御線を用いて、以下に述べる制御も行なう。すなわち、最初状態で、一方のみが動作し、一方が接続されていない場合、例えば B 系統のみが

接続、動作しているとする、同期制御部 1 0 は実施例 1 同様、I V D 2 に対して O V D を表 1 のような動作に設定する。

【 0 0 9 4 】

次に、後から 1 系統が接続される場合に（この場合 A 系統）、マイコンは現在の O V D 周期と同じ垂直周波数の信号を A 系統の D D C 端子 1 - 1 1 を介し入力信号源に対して要求する。これを受けた A 系統の入力信号源は、要求された垂直周波数の信号に設定を行ない、結果として入力の 2 系統とも同じ周波数となり、両方の画像が動画に対して強い出力設定にすることが可能にできる。

【 0 0 9 5 】

また、新規の A 系統が D D C を受け付けない場合は、マイコン部が判断を行ない、後に接続された A 系統の I V D 1 に同期した設定に出力同期 O V D を再設定する一方、この O V D 周期と同じ垂直周波数の信号を B 系統の D D C 端子 1 - 1 2 を介して B 系統の入力信号源に対して要求する。これを受けた B 系統の入力信号源は、要求された垂直周波数の信号に再設定を行ない、入力の 2 系統が同じ周波数に設定される。

【 0 0 9 6 】

このような構成をとることで、複数の異なる周期の入力信号が混在するシステムにおいても、出力系の構成は 1 系統のクロックで動作させながら、動画に強い構成を簡単で安価な回路構成で実現することができる。

【 0 0 9 7 】

（実施例 3）

図 2 1 は本発明を適用したディスプレイの第 3 の実施例として、1 系統はデジタルのコンピュータ画像信号の入力であり、もう 1 系統はアナログのコンピュータ画像信号の入力である 2 系統の P C 入力を有し、フレームメモリの出力を制御して合成を行ない、1 系統の画像表示部に 2 画面のマルチ画面表示を行なう画像表示装置の画像処理部のブロック図を示す。

【 0 0 9 8 】

同図において、1 - 1 a は 1 系統めの q ビットのデジタルのコンピュータ画像信号（I D A T A 1）の入力端子である。ここでは、本来、赤、青、緑（R G B

）の 3 系統あるはずであるが、構成の説明を簡単にするため、1 系統で示している（以下同様）。1 - 1 b は入力信号の水平同期信号（IHD1）入力端子であり、1 - 1 c は入力信号の垂直同期信号（IVD1）入力端子である。1 - 1 d は画像信号のクロック（ICK1）入力端子であり、1 - 1 e はDDC信号（DDC1）の入出力端子である。20 - 1 a - 1、20 - 1 a - 2 は各部へ q ビットのデジタルの画像信号を伝送するデータバスである。また、20 - 1 b、20 - 1 c、20 - 1 d、20 - 1 e は、それぞれ、IHD1、IVD1、ICK1、DDC1 の信号線である。

【0099】

1 - 2 a は 2 系統めのアナログのコンピュータ画像信号（IDATA2）の入力端子である。1 - 2 b は入力信号の水平同期信号（IHD2）入力端子であり、1 - 2 c は入力信号の垂直同期信号（IVD2）入力端子である。1 - 2 e は DDC 信号（DDC2）の入出力端子である。

【0100】

2 は AD コンバータであり、アナログの画像信号（IDATA2）を n ビットのデジタル信号に変換する。また、8 は PLL（Phase Locked Loop）回路であり、1 - 2 b から入力した水平同期信号（IHD2）に同期した PC2 側の入力系のクロック（ICK2）を発生する。

【0101】

20 - 2 a - 0 はアナログの信号線であり、20 - 2 a - 1、20 - 2 a - 2 は n ビットのデジタルの信号線である。また、20 - 2 b、20 - 2 c、20 - 2 d、20 - 2 e は、それぞれ、IHD2、IVD2、ICK2、DDC2 の信号線である。

【0102】

3 - 1 は PC1 の入力系の画像処理部 1 であり、3 - 2 は PC2 の入力系の画像処理部 2 処理部である。

10 - 3 が画像比較部であり、20 - REF - 1、20 - REF - 2 が、入力系画像処理部 1 および入力系画像処理部 2 から出力される画像信号から比較用に抽出された比較信号の信号線である。

【0 1 0 3】

4 は 2 系統の入力画像処理部から入力された画像信号を、一旦メモリに記憶し、マルチ画面として出力するために画像を合成して、出力系の画像処理部に出力する制御を行なうメモリ制御部である。5 - 1、5 - 2 は入力系 P C 1、P C 2 にそれぞれ対応したフレームメモリ（メモリ A、メモリ B）である。2 1 - 1、2 1 - 2 はそれぞれメモリ A、B の制御バスであり、2 2 - 1、2 2 - 2 はそれぞれメモリ A、B のデータバスである。

6 は出力系の画像処理部であり、また、7 は液晶やプラズマディスプレイ、C R T などの画像表示部である。

【0 1 0 4】

1 - f は画像表示部のデジタルデータ（O D A T A）の画像表示部の入力端子であり、1 - g は出力信号の水平同期信号（O H D）の画像表示部の入力端子であり、1 - h は出力信号の垂直同期信号（O V D）の画像表示部の入力端子である。1 - i は、出力画像信号のクロック（O C K）の画像表示部の入力端子であり、1 - j は、マイコンバス（M B）の画像表示部の入力端子である。また、1 - s は、画像表示部に対する D D C 信号（D D C 3）の入出力端子であり、2 0 - s - 1、2 0 - s - 2 はこの D D C 3 の信号線である。2 0 - f - 1、2 0 - f - 2、2 0 - f - 3 は k ビットのデジタルの画像データ（O D A T A）の信号線である。

【0 1 0 5】

1 2 は発振回路であり、出力系のクロック（O C K）を発生する。2 0 - i - 1、2 0 - i - 2 は O C K の信号線である。

【0 1 0 6】

1 0 - 2 が同期制御部であり、2 0 - W E - 1 はメモリ A の書込みフィールドの制御信号 W E - A、2 0 - R E - 1 はメモリ A の読み出しフィールド制御信号 R E - A、2 0 - W E - 2 はメモリ B の書込みフィールドの制御信号 W E - B、2 0 - R E - 2 はメモリ B の読み出しフィールド制御信号 R E - B である。また、2 0 - g - 1、2 0 - g - 2 は出力系の水平同期信号（O H D）の信号線である。2 0 - h - 1、2 0 - h - 2 は出力系の垂直同期信号（O V D）の信号線で

ある。

【0 1 0 7】

9 はシステムを制御するマイコン部であり、1 9 - 1 および 1 9 - 2 はマイコンから各部への制御線およびデータ線からなるマイコンバス (MB) である。

【0 1 0 8】

画像の入力端子 1 - 1 a から入力したデジタル画像信号は、5 - 1 のメモリ部 A に格納される前に 3 - 1 の入力系画像処理部 1 で画質の調整や画像の縮小変換等の処理を行なわれてから、4 のメモリ制御部に転送される。また、入力系画像処理部 1 から画質を比較するための信号が、マイコンで選択されて画像比較部に送出される。

【0 1 0 9】

また、画像の入力端子 1 - 2 a から入力したアナログ画像信号は、PLL 回路 8 で作成されたクロックに同期して、AD コンバータ 2 でデジタルデータに変換される。こうして得られたデジタル画像信号は、5 - 2 のメモリ部 B に格納される前に 3 - 2 の入力系画像処理部 2 で画質の調整や画像の縮小変換等の処理を行なわれてから、4 のメモリ制御部に転送される。

また、入力系画像処理部 2 から画質を比較するための信号が、マイコンで選択されて画像比較部に送出される。

【0 1 1 0】

4 のメモリ制御部では、I DATA 1 からの信号を、入力同期信号 (I HD 1、I VD 1) と入力系クロック I CK 1 に対応したタイミングで 5 - 1 のメモリ部 A に画像データを格納するとともに、I DATA 2 からデジタルに変換された信号を、入力同期信号 (I HD 2、I VD 2) と入力系クロック I CK 2 に対応したタイミングで 5 - 2 のメモリ部 B に画像データを格納する。

【0 1 1 1】

本実施例では、このメモリ部 A、メモリ部 B の双方ともダブルバッファリング可能なメモリ領域を確保し、同期制御部のメモリ書き込み信号と読み出し信号 (2 0 - WE - 1、2 0 - WE - 2、2 0 - RE - 1、2 0 - RE - 2) で書き込みメモリ領域および読み出しメモリ領域を切替え制御する。

【0112】

さらに、出力系のクロック OCK と同期制御部からの水平同期信号 OHD、垂直同期信号 OVD に同期して所定の画像の大きさ、表示位置の關係に合ったタイミングで 2 つの画像データを 5-1 と 5-2 のメモリ部から読み出して、6 の出力系画像部にデータを転送する。

【0113】

6 の画像処理部では、画質の調整や、画像の拡大変換などが行なわれる。最後に画像表示部にこれらの画像データと同期信号、クロックが伝送され画像表示が行なわれる。

【0114】

本実施例においては、10-2 の同期制御部において、出力として選択されたフレームレートにあわせて、出力の同期信号とメモリ制御信号を作成、選択切替を行なう。ここには、入力の同期信号 IHD1、IHD2 および IVD1、IVD2 と出力系のクロック OCK が入力し、出力系の水平同期信号 OHD (20-g-1)、垂直同期信号 OVD (20-h-1) とメモリ A の書込みフィールドの制御信号 WE-A (20-WE-1) と読み出しフィールド制御信号 RE-A (20-RE-1) およびメモリ B の書込みフィールドの制御信号 WE-B (20-WE-2) と読み出しフィールド制御信号 RE-B (20-RE-2) を出力する。また、これらの制御をマイコンのバス 19-1 によりコントロールする。

【0115】

また、本実施例においては、10-3 の画像比較部において、各入力系の画質の比較を行ない、マイコンが出力系と各入力系の画質制御を行なうための情報の出力を行なう。入力系画像処理部 1 および入力系画像処理部 2 から出力される画像信号から比較用に抽出された比較信号 20-REF-1、20-REF-2 から得られた比較情報の演算結果がマイコンバス 19-1 を経由してマイコンに伝達される。

【0116】

本実施例において、マイコン部では各入力系の同期信号 IHD1、IHD2、

I V D 1、I V D 2 が入力され、同期信号による各入力信号の動作タイミングの比較を行なうことに加えて、D D C 3 やほかの通信経路、初期情報で与えられる表示部の特性や条件とも加味した比較を行ない、システムの動作タイミングを決定して同期制御部を制御するとともに、D D C 1、D D C 2 を介して入力信号源の動作タイミングの制御も行なう。また、画質については、画像比較部から得られる各入力系の画質特性の比較結果に加えて、D D C 3 や他の通信経路、初期情報等で与えられる表示部の特性や条件との比較を行ない、内部の各画像処理部（入力系画像処理部 1、入力系画像処理部 2、出力系画像処理部）を制御するとともに、D D C 1、D D C 2 を介して入力信号源の画質制御を行なう。

【 0 1 1 7 】

これにより、複数の入力系の様々なフォーマットと画質特性の入力画像を 1 画面上に合成してマルチ画面表示を行なう際に、各入力系と出力表示部の画質や動画の特性に応じて、システム全体の動作タイミングと画質が最適化される。

【 0 1 1 8 】

図 2 2 にこの同期制御部 1 0 - 2 の回路構成例を示す。

図 2 2 において、9 0 1 は O C K をカウントする H カウンタであり、9 0 2 は O H D をカウントする第 1 の V カウンタであり、9 0 4 - 1 は I H D 1 をカウントする第 2 の V カウンタである。9 0 4 - 2 は I H D 2 をカウントする第 3 の V カウンタである。

【 0 1 1 9 】

9 0 3 - 1、9 0 3 - 2 と 9 1 0 - 1、9 1 0 - 2、9 5 7 - 1、9 5 7 - 2 は D 入力フリップフロップ (D F F) であり、9 0 5、9 0 6、9 0 7 - 1、9 0 7 - 2 はそれぞれのカウンタ出力をデコードして任意のパルスを作成する第 1、第 2、第 3、第 4 のデコーダである。また、9 0 8、9 0 9 - 1、9 0 9 - 2 は入力のパルスを切り換えて出力する第 1 (S W 1)、第 2 (S W 2 - 1)、第 3 (S W 2 - 2) のスイッチである。また、9 1 1 - 1、9 1 1 - 2 は論理を反転するインバータである。

【 0 1 2 0 】

また、9 1 2 - 1、9 1 2 - 2 が I H D 1、I H D 2 の、9 1 3 - 1、9 1 3

-2がIVD1、IVD2の、914がOCLKの入力端子であり、915がOHDの、916がOVDの、917-1、917-2がRE-A、RE-Bの、918-1、918-2がWE-A、WE-Bの出力端子である。また、919、920-1、920-2がマイコンの制御バスのうち、第1～第3の各SWを切り換える信号線の入力端子であり、921、922、923-1、923-2は第1～第4のデコーダの値を設定するためのマイコンの制御バスの入力端子である。

【0121】

また、925、926、927-1、927-2は各カウンタのクロック入力端子であり、930、931、932-1、932-2は各カウンタのクロックのイネーブル端子であり、934、935、936-1、936-2は各カウンタの出力端子である。950はHカウンタのリセット端子である。また、各カウンタの出力端子934、935、936-1、936-2は各デコーダの入力端子953、954、955-1、955-2、956-1、956-2、937-1、937-2にも接続しており、938、939、940-1、940-2は各デコーダの出力端子である。

【0122】

また、928-1、928-2、929-1、929-2、958-1、958-2は各DFFのクロック端子であり、933-1、933-2、959-1、959-2はクロックのイネーブル端子、941-1、941-2、942-1、942-2、960-1、960-2はD入力端子である。また、943-1、943-2、944-1、944-2、961-1、961-2はDFFの出力端子であり、952-1、952-2は反転出力端子である。

【0123】

947、948-1、948-2は第1のスイッチ908の入力端子IN1、IN2-1、IN2-2であり、949は出力端子である。962-1、945-1、946-1は第2のスイッチ（SW2-1）909-1の入力端子IN3-1、IN4-1、IN5-1であり、951-1は出力端子である。962-2、945-2、946-2は第3のスイッチ（SW2-2）909-2の入力

端子 IN3-2、IN4-2、IN5-2であり、951-2は出力端子である。

【0124】

Hカウンタ901とデコーダ905でOCLKをカウント、デコードしてOHDを作成し、端子915から出力するとともに、作成したOHDを第1のVカウンタ902とデコーダ906でカウント、デコードして第1のスイッチの入力端子947に結果を出力する。

【0125】

一方、入力したIVD1はDFF903-1を通過し、第1のスイッチの入力端子948-1に入力する。また、入力したIVD2はDFF903-2を通過し、第1のスイッチの入力端子948-2に入力する。入力端子947と948-1、948-2に入力した信号は、端子919のマイコンからの制御信号により動作モードによって選択、切り換えられて、どれかが端子916にOVDとして出力される。

【0126】

また、DFF903-1の出力はDFF910-1のイネーブル端子933-1にも入力し、端子933-1にIVD1が入力する度に極性が反転するメモリ書き込み信号WE-Aを端子918-1に出力する。また、DFF903-2の出力はDFF910-2のイネーブル端子933-2にも入力し、端子933-2にIVD2が入力する度に極性が反転するメモリ書き込み信号WE-Bを端子918-2に出力する。

【0127】

また、このメモリ書き込み信号WE-Aとその反転論理信号とが、メモリ読み出し信号の候補信号として第2のスイッチ(SW2-1)909-1の入力端子945-1、946-1に入力する。さらにIHD1のカウンタ904-1出力とIHD2のカウンタ904-2出力とOHDのカウンタ902出力の3者の値を、マイコンからの制御信号923-1で定まる関係でデコードしたデコーダ907-1の出力端子940-1からの信号も、メモリ読み出し信号の候補信号として第2のスイッチ(SW2-1)909-1の入力端子962-1に入力し、

端子 920-1 のマイコンからの制御信号にしたがって、動作モードによってこの 3 入力のうち一つが選択される。この結果を OVD のタイミングで DFF 957-1 でラッチを行ない、メモリ読み出し信号 RE-A として端子 917-1 から出力する。

【0128】

さらに、メモリ書き込み信号 WE-B とその反転論理信号とが、メモリ読み出し信号の候補信号として第 3 のスイッチ (SW 2-2) 909-2 の入力端子 945-2、946-2 に入力する。さらに IHD1 のカウンタ 904-1 出力と IHD2 のカウンタ 904-2 出力と OHD のカウンタ 902 の 3 者の値を、マイコンからの制御信号 923-2 で定まる関係でデコードしたデコーダ 907-2 の出力端子 940-2 からの信号も、メモリ読み出し信号の候補信号として第 3 のスイッチ (SW 2-2) 909-2 の入力端子 962-2 に入力し、端子 920-2 のマイコンからの制御信号にしたがって、動作モードによってこの 3 入力のうち一つが選択される。この結果を OVD のタイミングで DFF 957-2 でラッチを行ない、メモリ読み出し信号 RE-B として端子 917-2 から出力する。

【0129】

この実施例における、入力信号の周波数に対する動作モードと各スイッチを切り換えて出力される信号との対応表を表 3 に示す。またその時のタイミングチャートは、前掲の図 3 と同様になる。

【0130】

【表 3】

	IN1入力 垂直周波数	IN2入力 垂直周波数	OVD出力 垂直同期	メモリA: ダブルバッファ	メモリA: ダブルバッファ	SW1	SW2-1	SW2-2
(1)	$f_{IN1} < 60\text{Hz}$	$f_{IN2} < 60\text{Hz}$	IN1入力非同期 IN2入力非同期	○	○	IN1	IN4-1	IN4-2
(2)	$f_{IN1} < 60\text{Hz}$	$60\text{Hz} \leq f_{IN2} \leq 80\text{Hz}$	IN1入力非同期 IN2入力同期	○	不要	IN2-2	IN4-1	IN5-2
(3)	$f_{IN1} < 60\text{Hz}$	$80\text{Hz} < f_{IN2}$	IN1入力非同期 IN2入力非同期	○	○	IN1	IN4-1	IN3-2 又は IN5-2
(4)	$60\text{Hz} \leq f_{IN1} \leq 80\text{Hz}$	$f_{IN2} < 60\text{Hz}$	IN1入力同期 IN2入力非同期	○	不要	IN2-1	IN5-1	IN4-2
(5)	$60\text{Hz} \leq f_{IN1} \leq 80\text{Hz}$	$60\text{Hz} \leq f_{IN2} \leq 80\text{Hz}$ $f_{IN1} < f_{IN2}$	IN1入力同期 IN2入力非同期	○	不要	IN2-1	IN5-1	IN3-2 又は IN5-2
(6)	$60\text{Hz} \leq f_{IN1} \leq 80\text{Hz}$	$60\text{Hz} \leq f_{IN2} \leq 80\text{Hz}$ $f_{IN1} \geq f_{IN2}$	IN1入力同期 IN2入力非同期	○	不要	IN2-1	IN5-1	IN4-2
(7)	$60\text{Hz} \leq f_{IN1} \leq 80\text{Hz}$	$60\text{Hz} \leq f_{IN2} \leq 80\text{Hz}$ $f_{IN1} \leq f_{IN2}$	IN1入力非同期 IN2入力同期	○	不要	IN2-2	IN4-1	IN5-2
(8)	$60\text{Hz} \leq f_{IN1} \leq 80\text{Hz}$	$60\text{Hz} \leq f_{IN2} \leq 80\text{Hz}$ $f_{IN1} > f_{IN2}$	IN1入力非同期 IN2入力同期	○	不要	IN2-2	IN3-1 又は IN5-1	IN5-2
(9)	$60\text{Hz} \leq f_{IN1} \leq 80\text{Hz}$	$80\text{Hz} < f_{IN2}$	IN1入力同期 IN2入力非同期	○	不要	IN2-1	IN5-1	IN3-2 又は IN5-2
(10)	$80\text{Hz} < f_{IN1}$	$f_{IN2} < 60\text{Hz}$	IN1入力非同期 IN2入力非同期	○	○	IN1	IN3-1 又は IN5-1	IN4-2
(11)	$80\text{Hz} < f_{IN1}$	$60\text{Hz} \leq f_{IN2} \leq 80\text{Hz}$	IN1入力非同期 IN2入力同期	○	不要	IN2-2	IN3-1 又は IN5-1	IN5-2
(12)	$80\text{Hz} < f_{IN1}$	$80\text{Hz} < f_{IN2}$	IN1入力非同期 IN2入力非同期	○	○	IN1	IN3-1 又は IN5-1	IN3-2 又は IN5-2

【 0 1 3 1 】

表 3 には、2 系統の入力信号の垂直同期信号（I V D 1、I V D 2）の周波数 f_{IN1} 、 f_{IN2} の範囲に対して、出力の垂直周波数をいずれの入力信号に同期させるかどうかと、ダブルバッファリングするかどうか、およびその動作を実現するための図 2 1 における SW 1、SW 2－1、SW 2－2 の切換出力する信号を示している。

【0 1 3 2】

また、図 3 において A 1、A 2、A 3、A 4、A 5 はそれぞれ入力垂直周波数が 1 0 0 H z、8 0 H z、7 5 H z、6 0 H z、5 0 H z のときの入力垂直同期信号 I V D（I V D 1 や I V D 2）であり、A 6、A 7 は入力周波数が 8 0 H z のときの出力垂直同期信号（O V D）と出力水平同期信号（O H D）である。A 8、A 9 は入力周波数が 7 5 H z のときの出力垂直同期信号（O V D）と出力水平同期信号（O H D）である。A 1 0、A 1 1 は入力周波数が 6 0 H z のときの出力垂直同期信号（O V D）と出力水平同期信号（O H D）である。A 1 2、A 1 3 は入力周波数が 5 0 H z のときと 1 0 0 H z のときの出力垂直同期信号（O V D）と出力水平同期信号（O H D）である。

【0 1 3 3】

本実施例では、使用頻度の高い 6 0 H z から 8 0 H z までの垂直周波数の入力信号に対しては、出力の垂直同期信号 O V D を入力の垂直同期信号 I V D 1 や I V D 2 に同期させるモードとして、動画に強い画像を表示させる。また、I V D 1 と I V D 2 がともに使用頻度の高い 6 0 H z から 8 0 H z までの垂直周波数の場合は、入力画像の性質をマイコンで判断したり（例えば、動画、静止画判別を、図 2 1 の 1 0－3 の画像比較部で行なう）、ユーザーの設定で選択したり、表示画面上での各入力画像の表示面積の割合に応じたり、画面上に複数のウィンドウ画面が開いているときに、最も前面側の画面を選択するなどで、2 系統のうちいずれの入力を優先して同期を合わせるかを選択している。

【0 1 3 4】

したがって、6 0 H z から 8 0 H z までの垂直周波数の入力信号に対応しては、ダブルバッファリングを用いる必要はなく（用いてもかまわない）、入力の垂直同期と同期させる方法で動画に対して追い越し、フレームの二重化、欠落のな

い画質を実現している。I V D 1 と同期を取る場合（表 3 の(4)、(5)、(6)、(9)）、S W 1 は I N 2 - 1 側、同期を合わせる系統のスイッチ S W 2 - 1 は I N 5 - 1 を選択する。I V D 2 と同期を取る場合（表 3 の(2)、(7)、(8)、(11)）、S W 1 は I N 2 - 2 側、同期を合わせる系統のスイッチ S W 2 - 2 は I N 5 - 2 を選択する。

【0 1 3 5】

また、入力の垂直周波数が 6 0 H z 未満の場合（I V D 1 にとっては表 3 の(1)～(3)、I V D 2 にとっては(1)、(4)、(10)）は、フリッカ防止のため、S W 1 を I N 1 側としてダブルバッファリングによる動画質の改善を行ない、出力は 8 0 H z 一定で出力して、入力に対しては非同期とする。入力の垂直周波数が出力の周波数より低い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとすればメモリ読み出し走査を書込み走査が追い越すことはないので、S W 2 （S W 2 - 1 もしくは S W 2 - 2 ）を I N 4 （I N 4 - 1 もしくは I N 4 - 2 ）側としている。

【0 1 3 6】

一方、入力の垂直周波数 I V D （I V D 1、I V D 2 ）が 8 0 H z 以上（I V D 1 にとっては表 3 の(10)～(12)、I V D 2 にとっては(3)、(9)、(12)）では、出力系の動作スピードを抑えるために、S W 1 を I N 1 側としてダブルバッファリングによる動画質の改善を行ない、出力は 8 0 H z 一定で出力して、入力に対しては非同期とする。入力の垂直周波数が出力の周波数より高い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとしても、メモリ読み出し走査を書込み走査が追い越すことがあるので、S W 2 （S W 2 - 1 もしくは S W 2 - 2 ）を I N 3 （I N 3 - 1 もしくは I N 3 - 2 ）側として、入力の I V D 1、I V D 2 と出力の O V D の関係から追い越しが生じないタイミングでメモリ読み出し信号を出力する。

【0 1 3 7】

また、I V D 1 と I V D 2 がともに使用頻度の高い 6 0 H z から 8 0 H z までの垂直周波数の場合に、出力と同期しないモードに選択された系では、出力系と比べて入力の垂直周波数が低い場合は、書込みメモリ領域と反対のメモリ領域を

読み出しフィールドとすればメモリ読み出し走査を書込み走査が追い越すことはないので、SW2 (SW2-1もしくはSW2-2)をIN4 (IN4-1もしくはIN4-2)側とする。逆に、出力系と比べて入力の高垂直周波数が高い場合は、書込みメモリ領域と反対のメモリ領域を読み出しフィールドとしてもメモリ読み出し走査を書込み走査が追い越すことがあるので、SW2 (SW2-1もしくはSW2-2)をIN3 (IN3-1もしくはIN3-2)側として、入力のIVD1、IVD2と出力のOVDの関係から追い越しが生じないタイミングでメモリ読み出し信号を出力する。

【0138】

このとき、図21の発振器OSC12の周波数は、出力系の最高垂直周波数であるXGA80Hzの時のクロック周波数にあわせて設計される（例えば87MHz、1フィールド=1V期間=12.5mS、1V=(768+ α)H=808Hとして1H期間=15.5 μ S、1H=(1024+ α)CLK=1344CLKとして1CLK=11.5nS)。

【0139】

図3において、A2の80HzのIVDが入力した場合、その出力OVD=IVDとなり、その間のIHDは768+ α =808本に設定される。

【0140】

また、A3、A4の75Hz、60HzのIHDが入力した場合、対応するOHDであるA8、A9はIHDと同周期になり、また、その間のOCKおよびOHDの周期は一定に保たれるため、OVD間のOHD数が比例して増加する。この768+ α =808本を越える分の期間についてはブランキング期間が増加すると考えて表示部7を駆動している。

【0141】

一方、入力IHDが100HzのA1や50HzのA5の場合は、入力と非同期に出力の高垂直周波数を設定するため、A12のOVD、A13のOHDに示すように80Hzの時と同じOVD、OHD周期でかつ、入力と非同期に自走させている。

【0142】

図 23～図 26 を用いて、具体的な動作例を示す。図 23～図 26 において、(a) は入力系統 1 の垂直同期信号 IVD1 であり、(b) は図 22 の回路で作成したメモリ A の書き込み信号 WE-A であり、(c) は入力系統 2 の垂直同期信号 IVD2 であり、(d) は図 22 の回路で作成したメモリ B の書き込み信号 WE-B であり、(e) は図 22 の回路で作成した出力の垂直同期信号 OVD であり、(f) は図 22 の回路で作成したメモリ A の読み出し信号 RE-A であり、(g) は図 22 の回路で作成したメモリ B の読み出し信号 RE-B である。また、Ta1 から Ta9 は出力の垂直同期信号の LOW レベルから HIGH レベルへの立ち上がりのタイミングを示しており、図 22 の回路はこのタイミングで WE-A および WE-B の信号極性を保持することで、RE-A および RE-B の信号極性を決定している。

【0143】

まず、図 23 は本実施例での最適化が行なわれる前の状態を示している。例えば、電源投入時や入力系統 1 と 2 (PC1 入力と PC2 入力) からの信号が伝送される直前である。まず、本画像表示装置の画像表示部として動作範囲が 50 Hz から 85 Hz の範囲にあり、かつ推奨される動作タイミングが 75 Hz の垂直周波数の表示部を接続したとすると、出力として OVD は、まず 75 Hz に設定されている。また、この直後に、IVD1 として、50 Hz の垂直周波数の信号と IVD2 として 60 Hz の垂直周波数の信号がそれぞれ入力されたときを示している。この状態では、まだ本回路で最適化は行なわれておらず、それぞれの周波数に応じてメモリが駆動されて、ダブルバッファによる表示が行なわれている。

【0144】

次に、図 24 は第一段階として入力系統 2 の 60 Hz を動画表示上優先すると判断した場合の動作を示している。この選択としては、例えば図 21 のマイコンに入力する同期信号 IHD1、IHD2、IVD1、IVD2 からマイコン部が 2 系統の入力信号の同期判別を行ない、解像度と垂直周波数を判定した結果を表 3 のように、マイコン部内に持つテーブルを参照して表 3 の (2) の動作を選択する。あるいは、図 21 の画像比較部 10-3 において、IVD2 の系統が NT

SCなどのTV系のインターレース信号をPC用にノンインターレース化した動画であり、IVD1の系統が静止画であるという判別を行なった場合も同様の決定がされる。図22のSW1、SW2-1、SW2-2はそれぞれIN2-2、IN4-1、IN5-2が選択される。これにより、図24の(e)に示すように、出力の垂直同期信号OVDはIVD2と同期が合わせ込まれる。これにより、IVD2の系の動画質は確保され、ダブルバッファリングの欠点であるフレームの二重化やフレームの抜けが発生しないスムーズな画面が実現される。また、IVD1の系は50Hzから60Hzに変換されるため表示部においてフリッカによる画質劣化を避けることができる。

【0145】

さらに、図25に第二段階として、IVD1の入力系統も動画の映像ソースを送出してきたことを図21の画像比較部10-3で検出して、マイコン部がIVD1の入力系の動画質を改善すべきと判断した場合や、システムの設定で常に動画質を各系統とも最善の状態に設定するようにマイコン部のソフトウェアが設計されている場合の例を示す。図21のマイコン部9はDDC1を介してIVD1の入力信号源に対して、垂直周波数を50Hzから60Hzに変更するよう要求し、IVD1の入力信号源は垂直周波数を60Hzに設定を変更する。これにより、IVD1はIVD2やOVDとは位相は一致していないが、周波数は一致するため、ダブルバッファリングをしても、フレームの二重化やフレームの抜けが発生しないスムーズな画面が実現される。これにより、2系統とも動画質の最適化された表示装置が実現される。

【0146】

さらに、図26に第三段階として、画像表示部を変更した場合を示す。例えば、従来リア型のプロジェクションディスプレイを用いていたシステムをプラズマディスプレイに置き換えたり、古い型のディスプレイを新しい型に置き換えたりして、動作範囲が50Hzから85Hzまで可変できるタイプのディスプレイから、動作範囲が70Hzから100Hzのディスプレイに変更した場合が考えられる。

【0147】

このとき、図 21 のシステムのマイコン部は DDC 3 を介して新たに接続されたディスプレイの動作範囲から、60 Hz では動作しないものであることを検知して、出力系の動作周波数を 70 Hz 以上に変更しようとする。また、マイコン部は、DDC や入力画質の情報から、特に IVD 1 の系よりも IVD 2 の系の動画質を優先させるべきと判断する。そこで、本実施例のマイコン部は、もとの IVD 2 の垂直周波数の周期（画面の更新周期）に近く、また周期の比が整数対整数の比になるような新しい垂直周波数の候補を出力可能な周波数の範囲から選択するとともに（例えば、75 Hz を選択する。もとの 60 Hz との周期の比は $T(60\text{ Hz}) : T(75\text{ Hz}) = 5 : 4$ ）、IVD 2 系の DDC 通信を介して IVD 2 の系が 60 Hz の次に最適な周波数としてその垂直周波数で動作可能かを調べる。IVD 2 側が動作可能であれば、新しく選択された垂直周波数 75 Hz に IVD 2 の系の動作周波数が設定されるとともに、画像表示部の垂直周波数も、IVD 2 の垂直同期信号に同期した 75 Hz に設定される。再び、図 22 の SW 1、SW 2-1、SW 2-2 はそれぞれ IN 2-2、IN 4-1、IN 5-2 が選択される。これにより、図 26 に示すように、出力の垂直同期信号 OVD は IVD 2 と同期が合わせ込まれる。また、これに伴ない、IVD 1 の系も動画質を良くするために、DDC 1 を介して 75 Hz に動作周波数を設定し直される。これにより、入力系、出力系ともに 75 Hz に動作を変更される。

【0148】

実施例の中で述べたように、60～80 Hz という周波数は、現行の PC や WS（ワークステーション）や DTV（デジタルテレビ）等、最も広く普及している周波数帯である一方、TV からの動画の映像ソースも NTSC が 60 Hz のため、この範囲に入ってくるので使用頻度が非常に高く、動画を最優先させる意味は高い。

【0149】

一方、50 Hz など、低い周波数のフリッカ現象は、動画、静止画に関らず非常に見づらい画質劣化となる点から、ダブルバッファリングのような簡易的に動画に強い方式をとる方法で、フリッカ防止と動画画質向上を両立させている。

【0150】

また、100Hzのように高い垂直周波数の信号に関しては、100MHzを超える動作速度が回路的な負担が大きいことを重視し、ダブルバッファリングのような簡易的に動画に強い方式をとる方法で、コスト削減と安定動作を動画画質向上と両立させている。特に液晶やPDPなどの表示素子は駆動電圧が10数Vから数十Vという高電圧が必要とされるため、1画素あたりの速度が高速化すると、映像信号系やドライバ回路が非常に高い帯域やスルーレートが必要とされる。現状においても、こうした高い速度の駆動に対しては追従できない部分を、複数に分割駆動しているが、更なる出力系の高速化は高速な部品への変更、新規部品の開発、分割数の変更などの回路変更によるコストアップばかりでなく、回路の動作マージンを狭くし、安定的な動作を困難にする要因となる。また、この問題はSXGAやUXGAといった、現状よりも更に数倍画素数の多い表示素子などを駆動する場合に、特に重要になる。将来の高画素化のためにも、コスト削減と安定動作が動画画質向上と両立できる点が重要になってくる。

【0151】

さらに、このような垂直周波数の最適化を図る際に、出力の垂直同期が完全に一致できるのは、複数の系統のうち一つしかいないため、複数系統の入力画像のどれを優先して垂直同期を一致させて動画質を確保するかを選択を可能にしたことで、複数系統のなかで動画質を重視する入力系統が、アプリケーションソフトや番組などにより変化した場合も、安価でありながら、柔軟に対応できるシステムが構築できる。

【0152】

また、選択された出力同期周波数に対して、同期していない入力系統に対して、DDC等を介して入力信号源に対して入力周波数の変更を要求し、出力周波数と一致した周波数に変更することにより、複数画面の入力系とも動画質が最適に表示されるため、デジタルTVやPCのグラフィックゲームソフト、デジタルビデオ等、さまざまな動画ソースが表示されるマルチ画面の表示装置において、安価でありながら、動画質を十分満たせる機器を提供できる。

【0153】

また、画像表示部が異なるタイプのディスプレイに変わったことにより（例え

ばリア型のプロジェクションディスプレイからプラズマディスプレイなど）、対応可能な動作周波数の帯域が変化した場合も、DDCやその他の通信を介して得られる画像表示部の特性の情報を受けて、内部の出力周波数の選択範囲や選択方法を変更するのに加えて、DDCを介して複数の入力信号系に要求する内容も変更をかける構成にしたことで、安価でありながら、将来的なシステムの変更やシステムの拡張に対しても柔軟で、かつ動画質の最適な機器が実現できる。

【0154】

本実施例では、複数の入力に接続される機器からの通信手段として、DDC（DDC1、DDC2）を、また出力する画像表示装置との通信手段としてDDC（DDC3）を示しているが、これはVESAの標準（現在DDC ver. 3.0 1997. 12. 15発行）が、現在ディスプレイの情報をPCに通信する手段として最も普及しているため、例示してあるだけであり、USBやIEEE 1394、従来のシリアル通信、パラレル通信手段など画像処理機器間で情報を通信できる手段であれば任意のものでよい。特にVESAの標準に関しては、逐次改定されているが、現在のところ、本発明のような複数のホスト機器（信号発生器やPC）と表示機器の接続は前提とされておらず、アドレス間の調停などの観念もない。また、通信時期もホスト（PC）側の起動時に限られているため、このままでは本発明に利用できない。本実施例では、通信手段の実現方法の例として、通信線の形態をDDCと同じI²Cの2線式シリアルバスを3系統DDC1、DDC2、DDC3用意して、データ形式（フォーマット）もDDCの用いている標準EDID（現在EDID ver. 3.0 1997. 11. 13発行）などに準じた形式にしている。これにより、複数の入力機器はホストとして、本実施例の画像処理装置をディスプレイとして扱いDDC情報を通信する。また、本実施例の画像処理装置は、接続される表示装置には、自身がホストとして表示装置をディスプレイとして扱い、DDC情報を通信する。これらの複数の入力機器と表示装置のアドレス間の調停やホスト役の切替えは、本来のDDCでは規定されていないので、本実施例の図21のマイコン9が制御する。また、ホストの起動時のみではなく、機器の接続切替え時にも通信を行なえるような検出と制御も、DDCでは規定されていないので、本実施例の図21のマイコン9で対応

する。このようにして、本発明を実現している。他の実施例においても同様である。

【0155】

ここでは、使用頻度の高い垂直周波数帯域を同期を一致させ、それ以外の周波数をダブルバッファリングさせたが、ダブルバッファリングは、メモリ領域を倍必要とすること、またそのための制御回路部分が必要となるため、入力系統数が多くなると高価になるため、機能として省くことも考えられる。特定の垂直周波数帯域のみ同期を一致させる方法やダブルバッファする方法をとる一方で、その帯域以外の使用頻度は低いと判断し、動画質は改善しない単なる非同期な動作に切り換えることを行ない、複数の入力系のうち動画を優先する系統のみ選択切り替えて動画質を確保する方法も安価な製品を提供する意味で本実施例の一つの形態である。

【0156】

また、本実施例では、入力信号の垂直周波数により、出力系を入力系と同期させるか非同期とするかを選択したが、本実施形態は複数の入力系の動作モードや画質特性から最適な出力系の動作モードや画質特性を選択する回路を有すること、および表示部を含む出力系の動作モードや画質特性と複数の入力系の動作モードや画質特性から、システム全体の動作モードや画質特性を決定する回路を有すること、またその決定にしたがって任意の入力系の動作モードや画質特性の変更を要求する回路を有することが特徴であり、切り換える基準は入力信号の垂直周波数以外にも、入力信号のフォーマットの他の項目でや、入力画像から抽出した画像情報、入力画像の信号の内容、システムの動作モード、画面の表示割合や配置条件、ユーザー設定、省電力モードなどによる場合も含んでいる。

【0157】

また、切り替える対象として、本実施例は動画質に着目して垂直周波数を例示したが、他の画質特性に対しても、入力信号のフォーマットの他の項目、例えば解像度や画像の表示位置、画像の大きさ、色相、色度、ホワイトバランス、明るさ（ブライト）、明暗（コントラスト）、階調性（ガンマ特性）、ダイナミックレンジ等に関しても、同様である。

第4の実施例において、この例の一つとして階調性の例を示す。

【0158】

(実施例4)

第3の実施例と同じ図21を用いて、第4の実施例を示す。ここで、図21における各部の構成および動作は第3の実施例と同じである。

本実施例においては、10-3の画像比較部において、各入力系の画質の比較を行ない、マイコンが出力系と各入力系の画質制御を行なうための情報の出力を行なう。入力系画像処理部1および入力系画像処理部2から出力される画像信号から比較用に抽出された比較信号20-REF-1、20-REF-2から得られた比較情報の演算結果がマイコンバス19-1を経由してマイコンに伝達される。

【0159】

本実施例において、画像比較部から得られる各入力系の画質特性の比較結果に加えて、DDC3やほかの通信経路、初期情報等と与えられる表示部の特性や条件との比較を行ない、内部の各画像処理部（入力系画像処理部1、入力系画像処理部2、出力系画像処理部）を制御するとともに、DDC1、DDC2を介して入力信号源の画質制御を行なう。

【0160】

ここで、本実施例での画質の主要な調整部は出力系画像処理部6に存在し、入力画像処理部3-1、3-2の画質調整部は補助的に存在する。これは、画像のビット誤差の増大を避けるためであり、画質を優先する系は入力画像処理部の画質調整部をバイパスする構成として、出力系の調整部のみにより、画像表示部に適した特性に変換される。また、もう一方の系は、補助的に入力画像処理部の画質調整も行ない、優先した系と同様の画質になるように調整される。あるいは、優先しない方の系は、入力画像処理部での画質調整を行なうかわりに、DDCを介して入力信号源に、入力信号の画質を変更する要求を出すことで、優先した系と同様の画質になるように調整される。

【0161】

これにより、複数の入力系の様々な画質特性の入力画像を1画面上に合成して

マルチ画面表示を行なう際に、各入力系と出力表示部の画質特性に応じて、システム全体の画質が最適化される。

【0162】

図 2 7 から図 2 9 を用いて、本実施例の動作を説明する。

図 2 7 は、本実施例による画質の最適化が行なわれる第一段階の状態を示している。このとき、表示部の表示特性は図 1 5 の 1 5 - 1 である。図 2 7 において、1 6 - 1 A、1 6 - 1 B は 2 系統の入力 I D A T A 1 および I D A T A 2 から入力する信号レベルを示し、1 6 - 3 A、1 6 - 3 B は出力画像処理部 6 の通過後の各信号レベルをあらわす。また、1 6 - 4 A、1 6 - 4 B はこのときの表示部の輝度レベルを示す。

【0163】

第一段階として、マイコン部は、入力系画像処理部 1 (3 - 1) と入力系画像処理部 2 (3 - 2) からの画質情報 (2 0 - R E F - 1、2 0 - R E F - 2) を比較して得られた画像比較部 (1 0 - 3) の結果と、D D C 3 経由や、あらかじめマイコン部付随のメモリ上に記憶されたテーブル等から得られる画像表示部の入出力特性から、画質を優先する入力系を決定する。ここでは、入力系 2 (I D A T A 2) を優先させると判断している。ここで、従来例と異なり、優先する系の入力信号の表示部に対する特性の変換は、入力系の画質処理部ではなく出力系の画質処理部で一括して行なわれる。変換係数は、あらかじめマイコン上で入力系 2 の特性と出力系の特性を合成して出力系画像処理部に適用することにより、デジタル処理の通過回数を半分にして、ビット誤差を少なくしている。また、このとき入力系 1 の画像に対しても同じ合成した変換係数が適用されるため、1 6 - 3 A のように、入力系 1 の画質の最適化は行なわれていない。

【0164】

次に、第 2 段階として、マイコン部は優先しない入力 1 の系に対しても、画質の最適化を行なった様子を図 2 8 に示す。図 2 8 において、1 6 - 1 A、1 6 - 1 B は 2 系統の入力 I D A T A 1 および I D A T A 2 から入力する各信号レベルを示し、1 6 - 2 A、1 6 - 2 B は入力画像処理部 1 (3 - 1) と入力系画像処理部 2 (3 - 2) の通過後の各信号レベルを示す。1 6 - 3 A、1 6 - 3 B は出

力画像処理部 6 の通過後の各信号レベルをあらわす。また、1 6 - 4 A、1 6 - 4 B は、このときの表示部の輝度レベルを示す。

【0 1 6 5】

第一段階で調整された I D A T A 2 の系 (1 6 - 1 B ~ 1 6 - 4 B) に対して、第二段階では I D A T A 1 の系を調整する。このとき、出力画像処理部 6 の変換特性は入力 2 (I D A T A 2) で決定されているので、この特性に対する、入力 1 (I D A T A 1) の入力補正の差分を入力画像処理部 1 (3 - 1) に適用する。この結果、入力画像処理部 1 (3 - 1) 通過後の信号レベル 1 6 - 2 A は、入力画像処理部 2 (3 - 2) 通過後の信号レベル 1 6 - 2 B にほぼ等しくなり、出力画像処理部上では、1 6 - 3 B とほぼ同じ信号レベル 1 6 - 3 A で出力され、また、1 6 - 4 B とほぼ同じ輝度レベル 1 6 - 4 A で表示が行なわれる。

このように、優先しない系に対しては、ビット誤差は大きくなるものの、優先した系と同様の特性に調整を行なうことができる。

【0 1 6 6】

さらに、第三段階として、図 1 5 の 1 5 - 2 の特性のものに画像表示部 7 を変更した場合を図 2 9 に示す。図 2 9 において、1 6 - 1 A、1 6 - 1 B は 2 系統の入力 I D A T A 1 および I D A T A 2 から入力する各信号レベルを示し、1 6 - 3 A、1 6 - 3 B は出力画像処理部 6 の通過後の各信号レベルをあらわす。また、1 6 - 4 A、1 6 - 4 B は、このときの表示部の輝度レベルを示す。

【0 1 6 7】

画像表示部の変更に伴ない、マイコン部は、DDC 3 経由や、あらかじめマイコン部付随のメモリ上に記憶されたテーブル等から得られる変更後の画像表示部の出力特性を読み込み直す。この情報と、各入力系の画質情報から画質を優先する入力系を再度決定する。

【0 1 6 8】

ここでは、再び入力 2 (I D A T A 2) を優先すると判断したとする。変換係数は、マイコン上で入力系 2 の特性と新しい出力系の特性を合成して出力系画像処理部に適用され、1 6 - 3 B が出力される。この結果、画像表示部の表示特性に最適化が行なわれた輝度レベルが選られる (1 6 - 4 B)。また、第三段階で

は、さらに、入力系1に対しても画質のビット誤差を少なくするため、第二段階のような入力系1に対しての入力信号処理部での変換を行わず、DDC1を介して入力信号源1に対して、信号振幅とレベルを入力信号源2に一致させるように要求を出して、16-1Aのように入力系1の入力信号の特性を、16-1Bの入力系2の入力信号の特性に等しくなるようにする。入力信号の段階で二つの入力系の信号レベルを一致させることにより、両方の系ともデジタル処理の通過回数を半分にして、ビット誤差を少なくしている。

【0169】

以上に述べたように、画像比較部から得られる各入力系の画質特性の比較結果に加えて、DDCや他の通信経路、初期情報等与えられる表示部の特性や条件との比較を行ない、内部の各画像処理部（入力系画像処理部1、入力系画像処理部2、出力系画像処理部）を制御するとともに、DDCなどの通信手段を介して入力信号源の画質制御を行なうことにより、複数の入力信号を一つの画面に表示するマルチ画面表示においても、安価で簡単な回路構成でありながら、優先する系の高画質表示を実現するとともに、他の系の画質も一定の水準を満たすシステムが実現できる。

【0170】

本実施例においては、簡単化のため、グレースケール信号を用いて、画質として信号のDCレベルと振幅の最適化を行なう例を述べたが、実際には、表示素子の特性を補正するガンマ補正や、CRT用に映像信号に掛けられているガンマ補正をキャンセルする逆ガンマ補正などの非線型な補正に対しても同様に適用できる。また、赤、青、緑毎にこれらの特性が異なることにより生じるホワイトバランスのずれ、色の特性についても、本実施例を適用することにより、優先する入力系を選択して、出力系の特性と合わせて、各色のバランスを合わせ込み、他の系は補助的な手段を用いて、あるいは入力信号源に制御信号を送ることにより一定の水準を満たすように調整してシステムの最適化を図ることができるのは同様である。色毎の特性がばらつく原因としては、赤、青、緑毎に異なる液晶パネルを用いる3板式のプロジェクタなどに見られるような各色ごとの液晶素子のガンマ特性のばらつきや、色を光学系で3原色に分解するための各光学素子の色毎の

特性のばらつき、バックライトやLED、ランプなどの発光体の特性、各色ごとの信号処理系のばらつきなどがある。

【0171】

特に、信号処理系のばらつきは、各信号源やその信号源に信号データが送られてくる以前の処理系でも意外と大きいことがあり、これがその装置特有の色味になっていたりすることも少なくない。これは、ディスプレイとして、ある色を強くした方が、鮮やかにみえるというメーカーの故意の調整であったり、製造上での各色での信号処理系の調整工数を減らしてコスト削減を行なうため省略されたためのばらつきであったりする。

【0172】

さらに、こうした故意の調整や工数削減によるばらつきなどは色だけに限られることではない。特にPCのグラフィック画面やデジタルテレビ、通信を介して受信されたテレビ会議の映像、インターネットを経由してきた画像情報、テレビゲームのグラフィック画像、USBやIEEE1394を介して受信したデジタルビデオカメラの映像など信号源や伝送形態の種類の多様化に伴ない、機器間のこうした特性差は広がりつつある。また、解像度や画面のリフレッシュレートなどの表示動作の差も多様化している。一方、表示装置はこれらの多様な入力ソースを同じ画面で表示する方向に動いており、こうした意味で本実施形態の有効性も広がっている。

【0173】

第3および第4の実施例においては、複数の入力信号源としてPCを2系統接続した例を挙げたが、第5の実施例としてはこうした多様化した機器間での適用例を示している。

【0174】

(実施例5)

第5の実施例として多様化した機器間での適用例として、PC（パーソナルコンピュータ）上に画像処理の入出力基板を備えて、表示装置を表示させるシステムの例を図30に示す。入力としては、画像処理基板に直接他のPC等を接続する2系統のデジタル入力の他に、PC本体のCPUで実行されるアプリケーション

ンにより描画されるグラフィック画像および、通信 I F を介して受信される T V 会議などの画像情報、 I E E E 1 3 9 4 を介して入力される D V D やデジタルビデオ、デジタルテレビ等の信号が扱える。また、出力信号は、画像処理基板に直接接続する表示装置の他に、 I E E E 1 3 9 4 を介して外部のデジタルテレビやビデオ記録用のサーバーなどに送ることができる。

【 0 1 7 5 】

図 3 0 において、 9 - 1 は P C の C P U (中央演算処理部)であり、 9 - 2 はチップセットと呼ばれる C P U 周辺のメモリや周辺機器の制御するバスを制御するメモリ・バスコントローラであり、 9 - 3 は P C 本体のメインメモリである。 9 - 4 は P C の通信インターフェース部であり、端子 1 - t を介して、外部の通信線に接続される。 1 9 - 2、 1 9 - 3 はこの P C のシステム制御用バスであり、 1 9 - 4 はグラフィック部の制御用のバスである。 2 5 の一点鎖線で囲んだ領域が画像処理基板であり、 P C 本体とは端子 1 - 4 を介して、グラフィック制御バス 1 9 - 4 に接続される。

【 0 1 7 6 】

1 - 1 a は 1 系統目の入力としての q ビットのデジタルの画像信号 (I D A T A 1) の入力端子である。 1 - 1 b は入力信号の水平同期信号 (I H D 1) 入力端子であり、 1 - 1 c は入力信号の垂直同期信号 (I V D 1) 入力端子である。 1 - 1 d は画像信号のクロック (I C K 1) 入力端子であり、 1 - 1 e は D D C 信号 (D D C 1) の入出力端子である。 2 0 - 1 a - 1、 2 0 - 1 a - 2 は各部へ n ビットのデジタルの画像信号を伝送するデータバスである。また、 2 0 - 1 b c d は I H D 1、 I V D 1、 I C K 1 信号線群である。 2 0 - 1 e は D D C 1 の信号線である。

【 0 1 7 7 】

1 - 2 a は 2 系統目の入力としての n ビットのデジタル画像信号 (I D A T A 2) の入力端子である。 1 - 2 b は入力信号の水平同期信号 (I H D 2) 入力端子であり、 1 - 2 c は入力信号の垂直同期信号 (I V D 2) 入力端子である。 1 - 2 d は画像信号のクロック (I C K 2) 入力端子であり、 1 - 2 e は D D C 信号 (D D C 2) の入出力端子である。 2 0 - 2 a - 1、 2 0 - 2 a - 2 は各部へ

n ビットのデジタルの画像信号を伝送するデータバスである。また、2 0 - 2 b c d は I H D 2、I V D 2、I C K 2 信号線群である。2 0 - 2 e は D D C 2 の信号線である。

【0 1 7 8】

3 - 1 は入力系 1 の画像処理部 A であり、3 - 2 は入力系 2 の画像処理部 B である。

【0 1 7 9】

1 - 3 は、3 系統目の入力かつ外部出力として機能する I E E E 1 3 9 4 の出力端子である。2 3 は I E E E 1 3 9 4 の処理ブロックであり、2 4 は I E E E 1 3 9 4 信号を内部で扱う映像信号と同期信号に変換および逆変換するためのエンコーダ兼デコーダである。また、3 - 3 は入力した I E E E 1 3 9 4 画像の画像処理部 C であり、6 - 3 は I E E E 1 3 9 4 信号として出力する前の出力系の画像処理部 B である。

【0 1 8 0】

2 0 - 3 は I E E E 1 3 9 4 の信号線であり、2 0 - 3 a - 1 は変換後の r ビットのデジタル画像信号である。また、2 0 - 3 b c d は、I E E E 1 3 9 4 信号から再生された同期信号、C L K などの信号線群である。

【0 1 8 1】

また、4 系統目の入力として 1 - 4 の端子を介して、1 9 - 4 のグラフィック制御用バスから P C のアプリケーションプログラムにより生成されるグラフィック情報と、外部機器から通信線を介して P C に入力される画像情報が入力される。9 - 6 はこれらの情報からグラフィックデータを出力するグラフィック生成・制御部 D であり、2 0 - 4 a - 1 が v ビットのグラフィックデータの信号線群である。また、2 0 - 4 b c d はこのグラフィック画像の同期信号とクロックの信号線群である。また、1 9 - 5 は端子 1 - 4 を介して外部バス 1 9 - 4 に接続されるグラフィック制御用の内部バスであり、この画像処理ボードの全体の制御はこのバスを介して、P C 本体の C P U とグラフィック生成・制御部が分担して行なう。

【0 1 8 2】

4は3つの入力画像処理部3-1、3-2、3-3とグラフィック生成・制御部9-6のあわせて4系統から入力した画像信号を、一旦メモリに記憶し、マルチ画面として出力するために、画像を合成して、出力系の画像処理部に出力する制御を行なうメモリ制御部である。5-1、5-2、5-3、5-4は入力系1、入力系2、入力系3およびグラフィック生成部にそれぞれ対応したフレームメモリ（メモリA、メモリB、メモリC、メモリD）である。21-1、21-2、21-3、21-4はそれぞれメモリA、B、C、Dの制御バスであり、22-1、22-2、22-3、22-4はそれぞれメモリA、B、C、Dのデータバスである。

6-1は出力系の画像処理部Aであり、7は液晶やプラズマディスプレイ、CRTなどの画像表示部である。

【0183】

1-fは画像表示部のkビットのデジタルデータ（ODATA）の画像表示部の入力端子であり、1-gは出力信号の水平同期信号（OHD）の画像表示部の入力端子であり、1-hは出力信号の垂直同期信号（OVD）の画像表示部の入力端子である。1-iは出力画像信号のクロック（OCK）の画像表示部の入力端子である。20-f-1、20-f-2、20-f-3はkビットのデジタルの画像データ（ODATA）の信号線である。また、20-g-2、20-h-2、20-i-2は、外部表示装置への水平同期信号、垂直同期信号、クロックの各信号線である。また、1-sは、画像表示部に対するDDC信号（DDC3）の入出力端子であり、20-s-1、20-s-2は、このDDC3の信号線である。

【0184】

12は発振部であり、出力系のクロック（OCK）を発生する。20-i-1はOCKの信号線である。発振部12は水晶などの発振回路やPLL（Phase-Locked-Loop）回路などで構成される。

【0185】

10-4が内部および外部の同期制御部であり、20-WEはメモリA～Dの書き込みフィールドの制御信号群、20-REはメモリA～Dの読み出しフィールド

ド制御信号群である。20-g h i は出力系の水平同期信号、垂直同期信号、クロックの各信号線群である。また、20-CNT-6 は I E E E 1 3 9 4 信号処理ブロック 2 3 の同期信号とクロックを制御するための制御線である。

【 0 1 8 6 】

また、10-5 が画像比較部および内部、外部の画質制御部であり、20-CNT-1 および 20-CNT-2 は入力系画像処理部 A と B からの画像抽出情報のデータ線および、入力系画像処理部 A と B の画質を制御するための制御線からなる信号線群である。20-CNT-3 は I E E E 1 3 9 4 信号処理ブロック 2 3 内の入力画像処理部 C と出力系画像処理部 B からの画像抽出情報のデータ線および、入力系画像処理部 C と出力系画像処理部 B の画質を制御するための制御線からなる信号線群である。20-CNT-4 はグラフィック生成・制御部からの画像抽出情報のデータ線および、グラフィック生成・制御部の画質を制御するための制御線からなる信号線群である。20-CNT-5 は出力系画像処理部 A からの画像抽出情報のデータ線および、出力系画像処理部 A の画質を制御するための制御線からなる信号線群である。

【 0 1 8 7 】

さらに、9-5 は内部・外部同期制御部（10-4）と内部・外部画質制御部（10-5）との連携をとり、入力信号の D D C 信号 D D C 1 および D D C 2 と、画像表示部の D D C 信号 D D C 3 を送受信するための D D C 用のインターフェース部である。また、20-u-1、20-u-2 は、それぞれ内部・外部同期制御部（10-4）および内部・外部画質制御部（10-5）とこの D D C 用インターフェース部間のデータ線および制御線である。

【 0 1 8 8 】

画像の入力端子 1-1 a から入力したデジタル画像信号は、5-1 のメモリ部 A に格納される前に 3-1 の入力系画像処理部 A で画質の調整や画像の縮小変換等の処理を行なわれてから、4 のメモリ制御部に転送される。また、入力系画像処理部 A から画質を比較するための信号が、画像比較部に送出される。また、同期信号およびクロックは内部・外部同期制御部 10-4 に伝送される。

【 0 1 8 9 】

画像の入力端子 1 - 2 a から入力したデジタル画像信号は、5 - 2 のメモリ部 B に格納される前に 3 - 2 の入力系画像処理部 B で画質の調整や画像の縮小変換等の処理を行なわれてから、4 のメモリ制御部に転送される。また、入力系画像処理部 B から画質を比較するための信号が、画像比較部に送出される。また、同期信号およびクロックは内部・外部同期制御部 1 0 - 4 に伝送される。

【 0 1 9 0 】

I E E E 1 3 9 4 入出力端子 1 - 3 から入力した I E E E 1 3 9 4 信号は、内部で扱える画像信号と同期信号に変換される。5 - 3 のメモリ部 C に格納される前に 3 - 3 の入力系画像処理部 C で画質の調整や画像の縮小変換等の処理を行なわれてから、4 のメモリ制御部に転送される。また、入力系画像処理部 C から画質を比較するための信号が、画像比較部に送出される。

さらに、I E E E 1 3 9 4 として外部出力する場合は、この出力画像処理部 B での画像情報も画像比較部に送出される。また、同期信号およびクロックは内部・外部同期制御部 1 0 - 4 に伝送される。

【 0 1 9 1 】

また、グラフィック生成・制御部 9 - 6 では、アプリケーションソフトやグラフィックドライバソフトの指示に従って、内部・外部同期制御部 (1 0 - 4) で作成した同期信号とクロックが入力するとともに、グラフィック信号を生成して 5 - 4 のメモリ部 D に格納されるために 4 のメモリ制御部に転送される。このとき、画質の制御は内部・外部画質制御部 (1 0 - 5) によって行なわれる。

【 0 1 9 2 】

メモリ制御部では、内部・外部同期制御部 (1 0 - 4) で作成した出力系の同期信号とクロックにしたがって各メモリ A ~ D より信号が読み出され、合成される。このとき、出力系画像処理部 A での画像情報も画像比較部 (1 0 - 5) に送出される。

本実施例では、このメモリ部 A ~ D のいずれもダブルバッファリング可能なメモリ領域を確保し、同期制御部のメモリ書き込み信号と読み出し信号の制御線群 (2 0 - W E 、 2 0 - R E) で書き込みと読み出すメモリ領域を切替え制御する。

【0193】

さらに、内部・外部同期制御部からの出力系のクロック OCK と水平同期信号 OHD、垂直同期信号 OVD に同期して所定の画像の大きさ、表示位置の係にあったタイミングで 4 系統の画像データをメモリ部から読み出して、6-1 の出力系画像部にデータを転送する。

6-1 の画像処理部では、画質の調整や、画像の拡大変換などが行なわれる。最後に画像表示部 7 にこれらの画像データと同期信号、クロックが伝送され画像表示が行なわれる。

【0194】

本実施例においても、10-4 の内部・外部同期制御部において、実施例 3 同様、動画像を優先する入力系を選択して、システム全体の動作の最適化を行なうことができる。ここには入力系 1、入力系 2、入力系 3 の同期信号とクロックが入力する。また、DDC インターフェース部を介して、画像表示部と入力系 1 および入力系 2 の DDC が接続されている。また、内部バス 19-5 を介してグラフィック作成・制御部が実行するアプリケーションソフトや通信からの画像表示の動作の要求内容が入力される。さらに、10-5 の画質比較部により入力系 1 ~ 3 の画像抽出情報で画像の特性情報が得られる。これらの情報から、内部・外部同期制御部は入力 4 系統の動作タイミングと画像の動画質特性および、画像表示部の動作特性を判断して、優先させるべき入力系の動画像に適した出力系動作となるように、メモリの制御信号と出力系の同期信号とクロックを作成する。また、グラフィック作成・制御部の同期信号およびクロックには、出力と同期したタイミングの信号を送出する。さらに、それ以外の入力系に対しても、動作の最適化を行なう必要がある場合は、入力系 1 および 2 に対しては DDC などの通信手段を介して、入力信号源の動作を変更する要求を行なう。また入力系 3 の場合は制御線 20-CNT-6 を通じてエンコーダ・デコーダ部 24 で要求信号を IEE 1394 信号に変換して、さらにこの信号が IEE 1394 を通じて信号源の装置の制御を行なうことにより、入力信号源の動作を変更する。

【0195】

また、本実施例においても、10-5 の内部・外部画質制御部において、実施

例 4 同様、画質を優先する入力系を選択して、システム全体の画質の最適化を行なうことができる。ここには入力系画像処理部 A ～ C から抽出された画像情報が入力するとともに、グラフィック生成・制御部から抽出された画像情報も入力される。また、出力系画像処理部 A からの画像抽出情報と、画像表示部 7 から DDC インターフェースを介して得られる表示特性が入力される。また、出力系画像処理部 B からの画像抽出情報と、IEEE 1394 を介して得られる IEEE 1394 で接続された別の表示装置の表示特性も入力される。これらの情報から、内部・外部画質制御部は入力 4 系統の画質特性および、画像表示部 7 の画質表示特性と IEEE 1394 経由で接続される別の表示装置の画質表示特性を判断して、優先させるべき入力系に適した画質特性となるように、出力系画像処理部 A もしくは出力系画像処理部 B を制御する。さらに、それ以外の入力系に対しても、画質の最適化を行なう必要がある場合は、各入力系の画像処理部により画質の調整を行なう。あるいは、入力系 1 および 2 に対しては DDC などの通信手段を介して、入力信号源に対して画質を変更する要求を行なう。また入力系 3 の場合は制御線 20 - CNT - 6 を通じてエンコーダ・デコーダ部 24 で要求信号を IEEE 1394 信号に変換して、さらにこの信号が IEEE 1394 を通じて信号源の装置の制御を行なうことにより、入力信号源からの信号の画質を変更する。

【 0 1 9 6 】

本実施例において、優先する入力系を選択して、最適化を行なうシステム全体の最適化の判断は、10 - 4 の内部・外部同期制御部や、10 - 5 の内部・外部画質制御部のブロックでハード的に処理される場合以外に、9 - 6 のグラフィック生成・制御部あるいは 9 - 1 の CPU において、アプリケーションソフトあるいはグラフィック制御用のドライバーソフト等によりソフト的に実行される場合もあることはいうまでもない。

【 0 1 9 7 】

これにより、複数の入力系の様々なフォーマットと画質特性の入力画像を 1 画面上に合成してマルチ画面表示を行なう際に、各入力系と出力表示部の画質や動画の特性に応じて、システム全体の動作タイミングと画質が最適化される。

【0 1 9 8】

ここでは、各入力系毎の整合性を考えたが、実際には各信号源からの信号は一種類の信号源からの出力のみとは限らない。例えば、I E E E 1 3 9 4 にはD V Dとデジタルビデオ、衛星放送やケーブルテレビ、地上波放送等のセットトップボックスなどの複数の機器が接続される。本実施例は、こうした1入力において混合された複数の画像情報も各入力信号源の一つ一つと考えて適用可能であり、I E E E 1 3 9 4 端子等から入力するこうした複数の機器からの信号と、他の入力系の信号とを同列にならべた上で、優先する信号を選択して、動画質および画質特性のシステム全体の最適化を行なうことができる。

【0 1 9 9】

また、優先する入力画像の選択は、画像抽出情報や画像信号のフォーマットだけではなく、入力する画像の用途や種類および自動設定あるいはユーザー設定される表示画面上の各画像の配置条件によっても行なわれる。例えば、本実施例において図3 1 および、表4 のように各入力映像信号が合成表示される画面を考える。

【0 2 0 0】

【表 4】

配置条件に対する動作を最優先される入力系（例）

	同時に表示している入力系			
		①TV 画面	②TV 電話	③インターネット画面
最優先で 配置された 入力系	(a) TV 番組	○		
	(b) TV 電話		○	
	(c) インターネット静止画	○		
	(d) インターネット動画			○

【0 2 0 1】

表4において、各列は各信号入力源の信号の用途や種類を示す。ここでは、例として①I E E E 1 3 9 4 を介してデジタルTV信号と、また、②通信I Fを介してTV電話と、さらに③外部PC入力からインターネットの画像が入力してきた場合を挙げている。また、表4の行には、用途により自動設定されたり、その

表示装置を見ているユーザーが用途に応じて最も注目する画面として、例えば最前面に配置するなどの配置条件により選択された画像が示されている。表 4 の (a) ~ (d) が図 3 1 の (a) ~ (d) に対応している。そして、○印が、その入力源の信号の用途や種類と配置条件において、本実施例の回路が優先して選択する入力信号源である。

【0202】

図 3 1 および表 4 において、まず、(a) の表示画面では、最前面にデジタルテレビ画面が配置されている。このとき、画像表示部には、他にインターネット画面は子画面で表示されているが、それは最も注目される表示物ではなく、また静止画が主体である。また、TV 電話の画像も入力しているが、現在は受信していない状態である。したがって、同期制御部および画質制御部は優先する入力系としてデジタルテレビの信号を選択して、システム動作を最適化する。

【0203】

また、(b) の表示画面では、最前面に TV 電話の画面が配置されている。このとき、画像表示部には、他にインターネット画面は子画面で表示されているが、それは最も注目される表示物ではなく、また静止画が主体である。また、デジタルテレビ画面の画像も入力しているが、現在は小さく表示されている状態である。したがって、同期制御部および画質制御部は優先する入力系として TV 電話の画面の信号を選択して、システム動作を最適化する。

【0204】

また、(c) の表示画面では、最前面にインターネット画面が配置されている。このとき、画像表示部には、他にデジタルテレビの画像が子画面で表示されている。また、TV 電話の画像も入力しているが、現在は小さく表示されている状態である。ここで、同期制御部および画質制御部は優先する入力系として、デジタルテレビの画像の信号を選択して、システム動作を最適化する。これは、配置条件としてはインターネット画面が最前面であるが内容が静止画主体のため、デジタルテレビを最優先する入力と判断したためである。

【0205】

一方、(d) の表示画面でも、最前面にインターネット画面が配置されており

、画像表示部には、他にデジタルテレビの画像と、TV電話の画像も入力している。(c)と比較して違う点は、インターネット画面上で配信される動画情報の映像が小さなウィンドウ④で表示されている点である。ここで、同期制御部および画質制御部は優先する入力系として、インターネット画面の信号を選択して、システム動作を最適化する。これは、配置条件としてはインターネット画面が最前面であり、また内容が動画主体になったため、デジタルテレビよりもインターネット画面が最優先する入力と判断したためである。

【0206】

このようにして、ユーザーが見る主体を変化させた配置条件やその信号の内容により、信号源の優先したシステム動作の最適化を図る。また、ユーザーは図30のシステムメモリ部に、これらの入力信号と配置条件における設定状態を保存できるようになっており、これによりユーザーの各種の映像機器と画像表示部の最適化関係を本実施形態の画像処理装置に記憶することができる。

【0207】

【発明の効果】

以上説明したように、本発明の第1の局面によれば、出力系を入力系の垂直同期信号に対して同期、非同期にすることを切換可能として、垂直周波数などの入力信号のフォーマットによって選択することにより、システムの全体を動画に強い構成として、特に使用頻度の高い垂直周波数帯で動画の問題のない動作を実現し、また、その他の垂直周波数帯では簡易的に動画に強くかつ画質上の問題の解決と動作マージンを確保し安定な動作を行なうことを両立する画像処理装置を簡素で安価に実現することができる。また、将来的にもUXGA等、現状よりも更に数倍画素数の多い信号処理用途で、容易に同様の構成で安価で動画に強い回路を実現できる。また、複数の異なる周期の入力信号が混在するシステムにおいても、複数の入力系の垂直同期信号に対して出力系を同期、非同期にすることを切換可能として、また、その結果を用いて任意の入力信号源の垂直周波数の設定を行なえるように構成することにより、出力系の構成は1系統のクロックで動作させながら、複数の入力系統間と出力の同期関係を最適化して、システム全体を動画に強い構成でかつ簡単で安価な回路構成にすることができる。

【 0 2 0 8 】

本発明の第 2 および第 3 の局面によれば、各入力信号源からの入力画像を同一画面上に表示するマルチ画面表示用の画像処理装置において、各入力系の入力信号のフォーマットや特性および表示内容と、画像表示部の特性を比較して、優先する入力信号を選択し、画像表示部の動作モードおよび画質特性を設定する。また、優先する系以外の入力系に対しても、適用した画像表示部の動作モードおよび画像特性にあわせた動作や画質調整に再度調整を行なう。あるいは、各入力信号源に対して DDC や IEEE 1394 などの通信手段を介して、適用した画像表示部の動作モードおよび画像特性にあわせた動作や画質調整に設定の変更要求を行なう。これにより、複数の入力信号に対しても、柔軟に動画質や画質特性を最適化した画像処理装置が安価に実現できる。

【 0 2 0 9 】

さらに、画像表示装置の変更や特性の変化に対しても、各入力信号の特性を考慮に入れた最適化を行なうことができる。

具体的には、出力系を各入力系の垂直同期信号に対して同期、非同期にすることを切換可能として、垂直周波数などの入力信号のフォーマットや入力信号の動き成分などの内容によって動画質を優先する入力系を選択して、その垂直同期信号に同期することにより、優先した系の動画質を最適にする。また、その他の入力系も選択した動作モードの中でダブルバッファリングなどの動作モードに調整したり、あるいは DDC 等の通信手段を介して、適用した画像表示部の動作モードおよび画像特性にあわせた動作や画質調整に入力源の設定の変更要求を行なう。これにより、出力系の構成は 1 系統のクロックで動作させながら、複数の入力系統間と出力の同期関係を最適化して、システム全体を動画に強い構成でかつ簡単に安価な回路構成にすることができる。

【 0 2 1 0 】

また、入力信号のフォーマットや画質特性、表示内容などによって表示画質を優先する入力系を選択して、優先する入力系の画質特性と出力系の画質特性を合成して出力画像調整部に適用することにより、優先した系に対してビット誤差の少ない画質を実現する。また、その他の入力系も設定した出力画像調整に対して

、補助的な調整を入力画像調整部で行なったり、あるいはD D C等の通信手段を介して、適用した画像表示部の出力画像調整に合わせた画質調整に入力源の設定の変更要求を行なう。これにより、複数の入力系統間の画質差と出力の画質関係を最適化して、システム全体の画質に統一性を持たせる回路を簡単に安価に実現することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例に係る画像処理装置のブロック図である。

【図 2】 図 1 の装置における同期制御部の構成図である。

【図 3】 図 1 の装置の動作を説明するためのタイミングチャートである。

【図 4】 本発明の第 2 の実施例に係る画像処理装置のブロック図である。

【図 5】 図 4 の装置における画像表示例である。

【図 6】 従来例を説明するための、画像処理装置のブロック図である。

【図 7】 図 6 の従来例における画像処理装置の動作を示したタイミングチャートである。

【図 8】 図 6 の従来例における動画での問題点の説明図である。

【図 9】 ダブルバッファリングを行なう時のメモリ領域を示す図である。

【図 1 0】 ダブルバッファリングにおける画像処理装置の動作を示したタイミングチャートである。

【図 1 1】 ダブルバッファリングにおける動画での問題点の説明図である。

【図 1 2】 ダブルバッファリングにおける動画での問題点の説明図である。

【図 1 3】 第 2 の従来例を説明するための、画像処理装置のブロック図である。

【図 1 4】 第 2 の従来例における画質の階調性に関わる問題点を説明するための図である。

【図 1 5】 第 2 の従来例における画質の階調性に関わる問題点を説明するための図である。

【図 1 6】 第 2 の従来例における画質の階調性に関わる問題点を説明する

ための図である。

【図 1 7】 第 2 の従来例における画質の階調性に関わる問題点を説明するための図である。

【図 1 8】 第 2 の従来例における画質の階調性に関わる問題点を説明するための図である。

【図 1 9】 第 2 の従来例における画質の階調性に関わる問題点を説明するための図である。

【図 2 0】 第 2 の従来例における階調性のビット誤差を説明するための概念図である。

【図 2 1】 本発明の第 3 および第 4 の実施例に係る画像処理装置のブロック図である。

【図 2 2】 図 2 0 の装置における同期制御部の構成図である。

【図 2 3】 本発明の第 3 の実施例の動作を説明するためのタイミングチャートである。

【図 2 4】 本発明の第 3 の実施例の動作を説明するためのタイミングチャートである。

【図 2 5】 本発明の第 3 の実施例の動作を説明するためのタイミングチャートである。

【図 2 6】 本発明の第 3 の実施例の動作を説明するためのタイミングチャートである。

【図 2 7】 本発明の第 4 の実施例の画質の階調性に対する動作を説明するための図である。

【図 2 8】 本発明の第 4 の実施例の画質の階調性に対する動作を説明するための図である。

【図 2 9】 本発明の第 4 の実施例の画質の階調性に対する動作を説明するための図である。

【図 3 0】 本発明の第 5 の実施例としての画像処理装置のブロック図である。

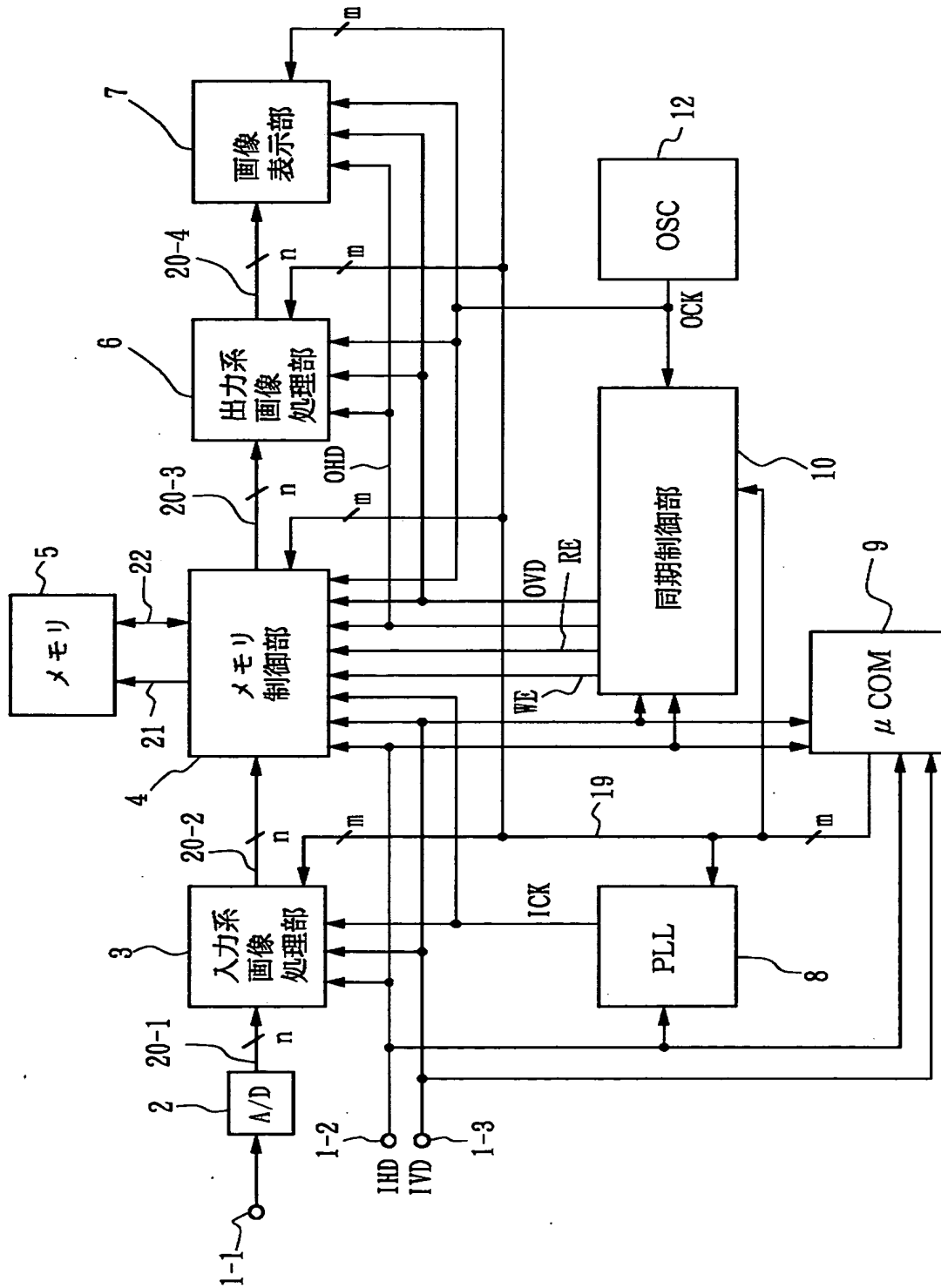
【図 3 1】 本発明の第 5 の実施例の動作を説明するための概念図である。

【符号の説明】 3, 3-1, 3-2 : 入力系画像処理部、4 : メモリ制御部、5 : メモリ部、6 : 出力系画像処理部、7 : 画像表示部、8 : PLL、9 : マイコン、10 : 同期制御部、12 : 発振器（第2クロック発生部）、ICK, ICK1, ICK2 : 入力系クロック（第1のクロック）、IHD, IHD1, IHD2 : 入力系水平同期信号（第1の画像同期信号）、IVD, IVD1, IVD2 : 入力系垂直同期信号（第1の画像同期信号）、OCK : 出力系クロック（第2のクロック）、OHD : 出力系水平同期信号（第2の画像同期信号）、OVD : 出力系垂直同期信号（第2の画像同期信号）、RE : 読み出しフィールド制御信号、WE : 書込みフィールド制御信号。

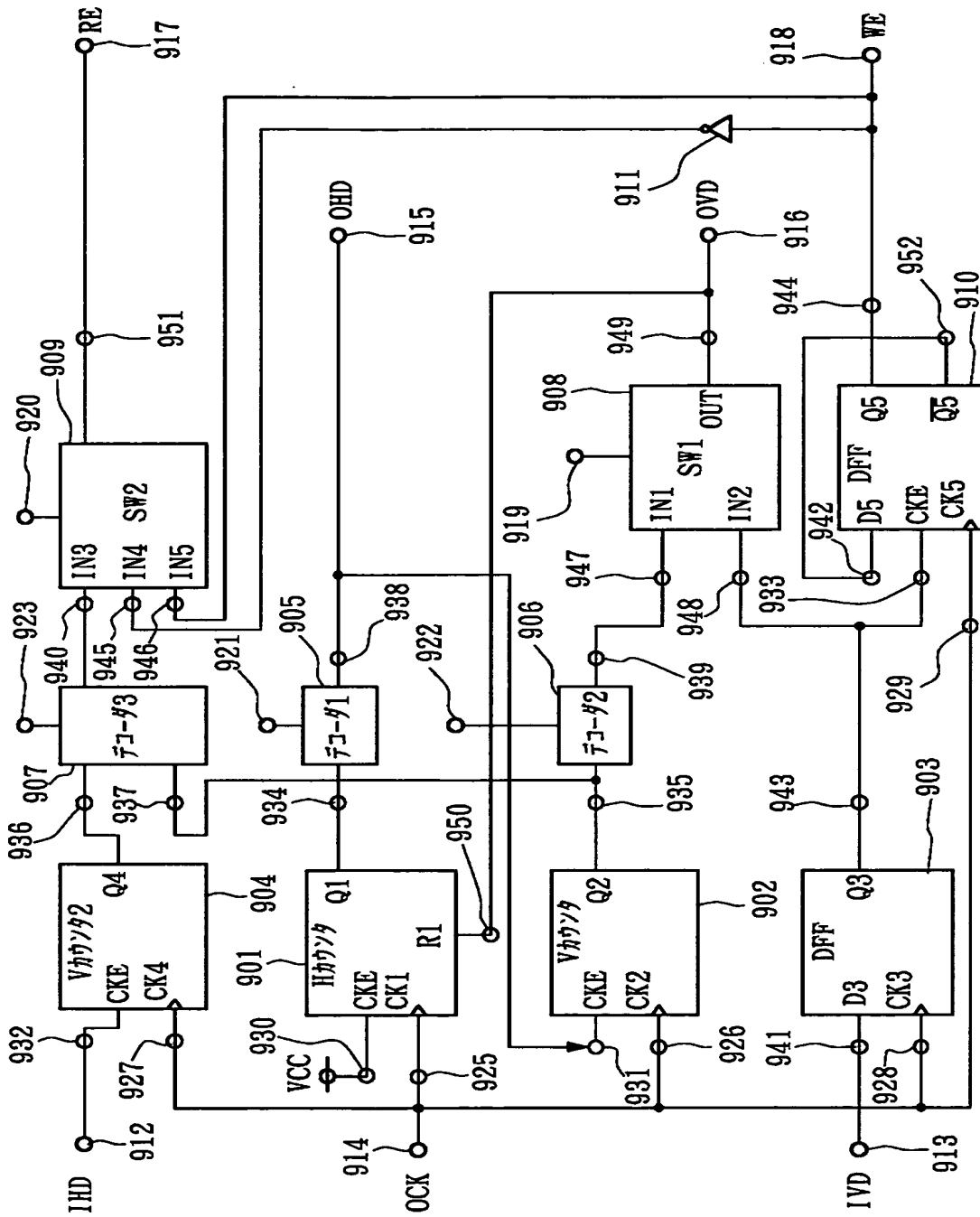
【書類名】

図面

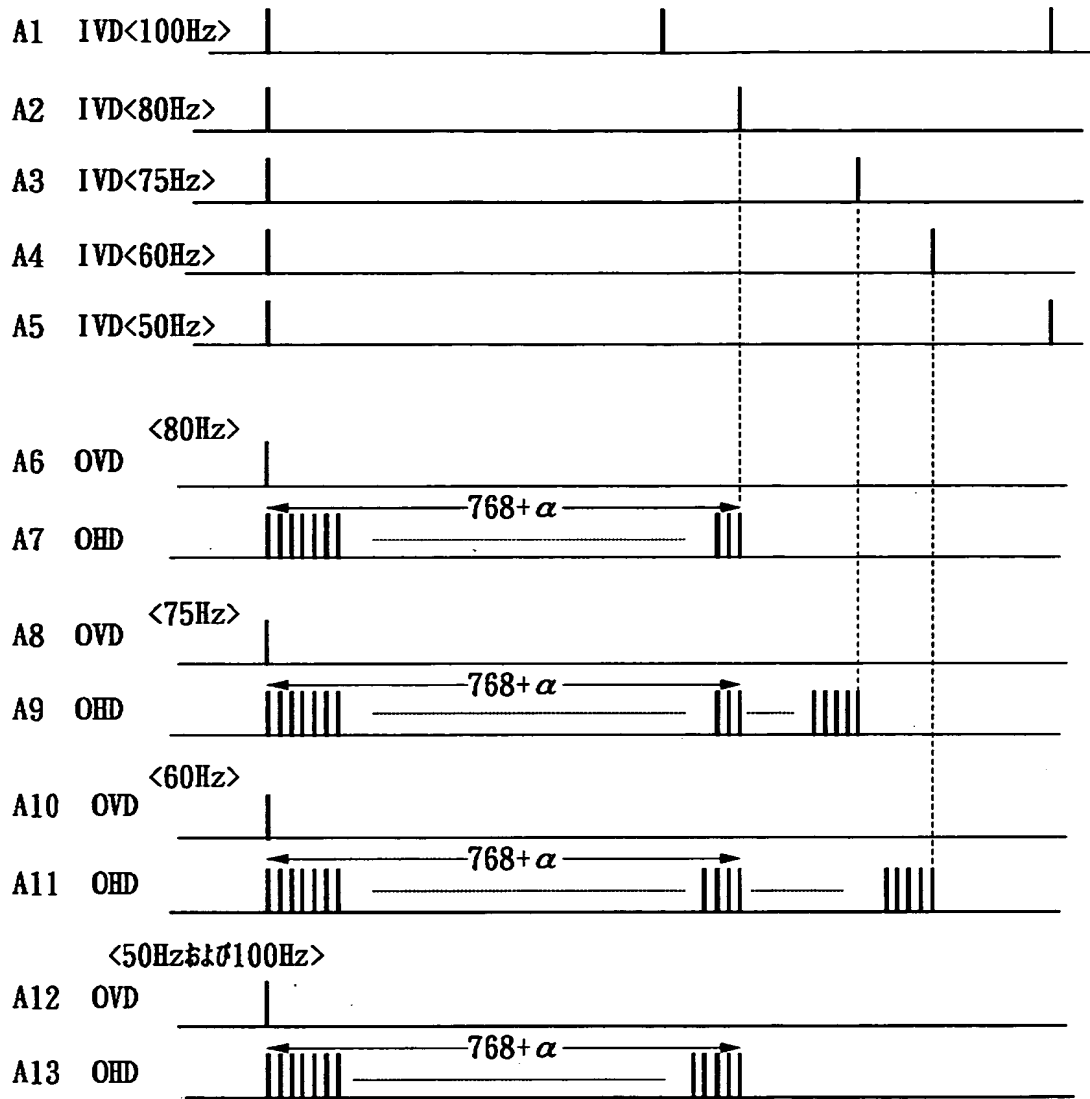
【図 1】



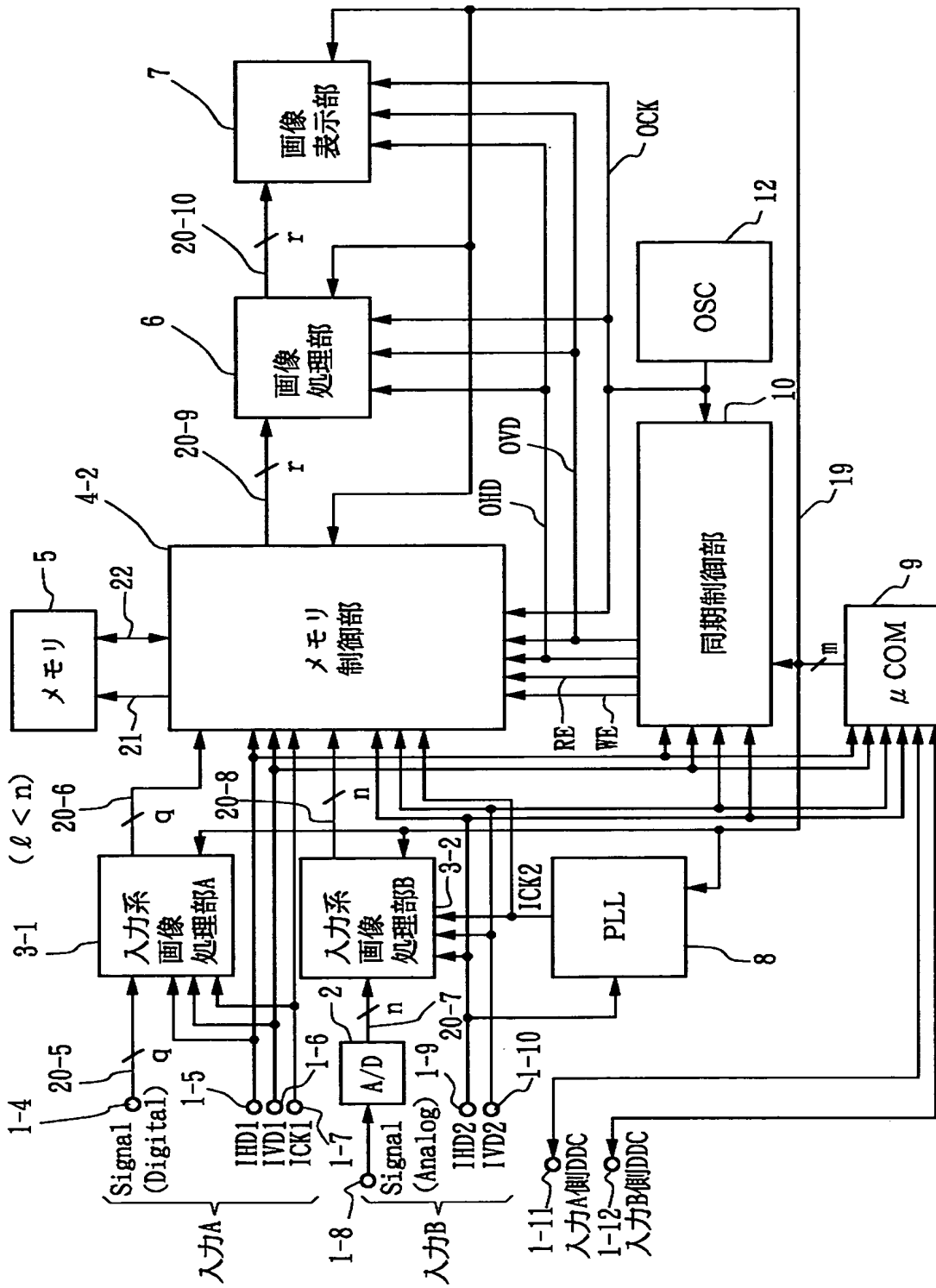
【図 2】



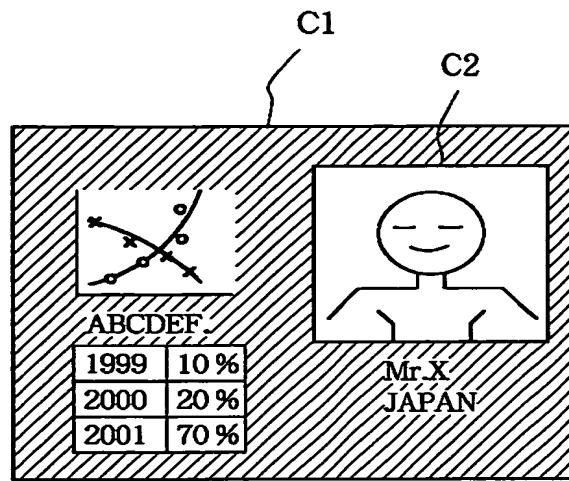
【図 3】



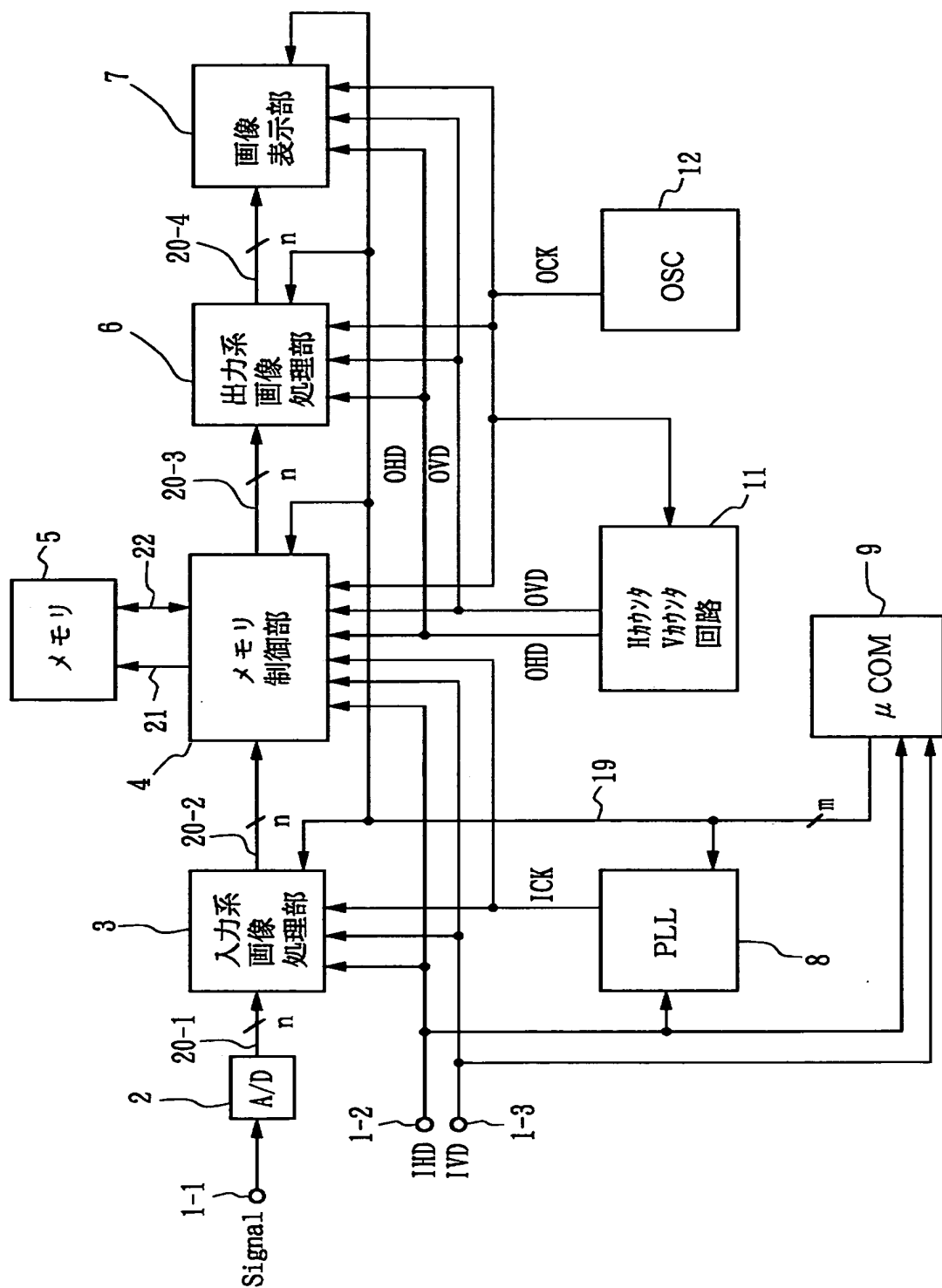
【図 4】



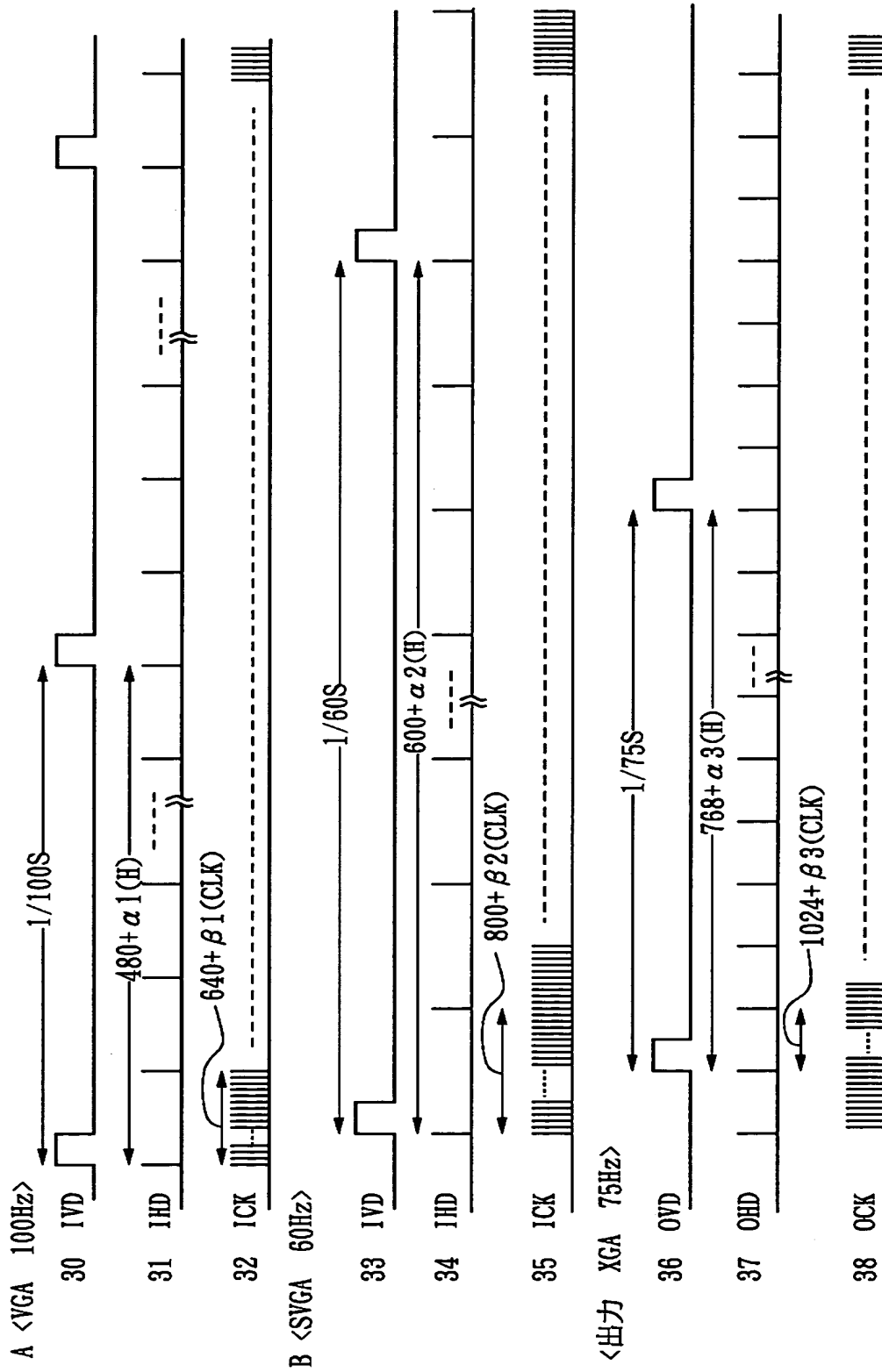
【図 5】



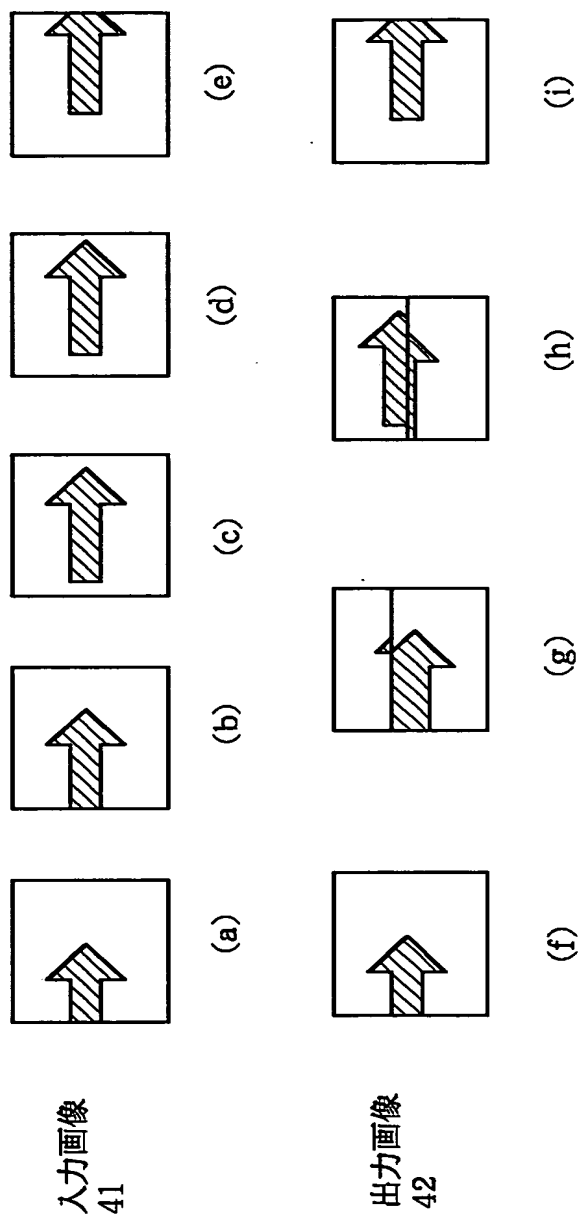
【図 6】



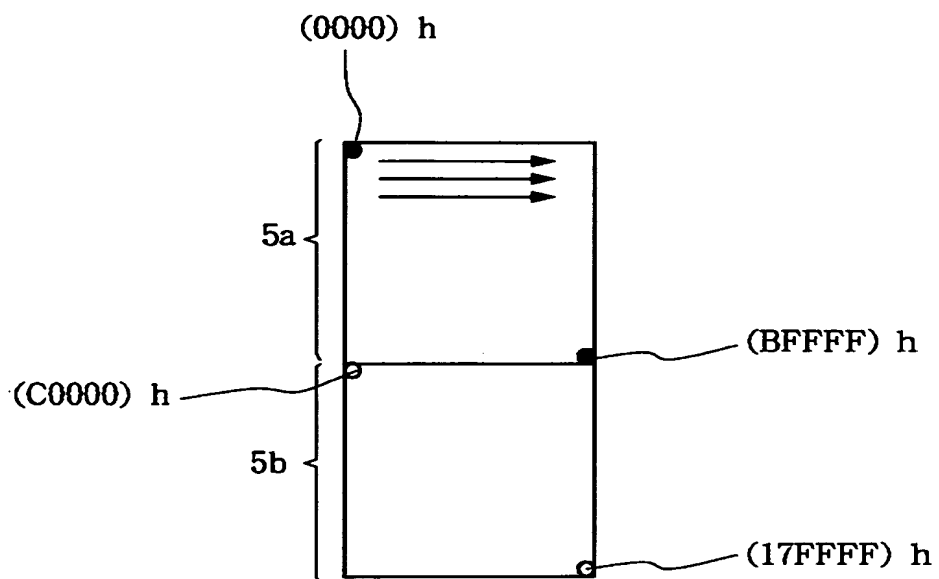
【图 7】



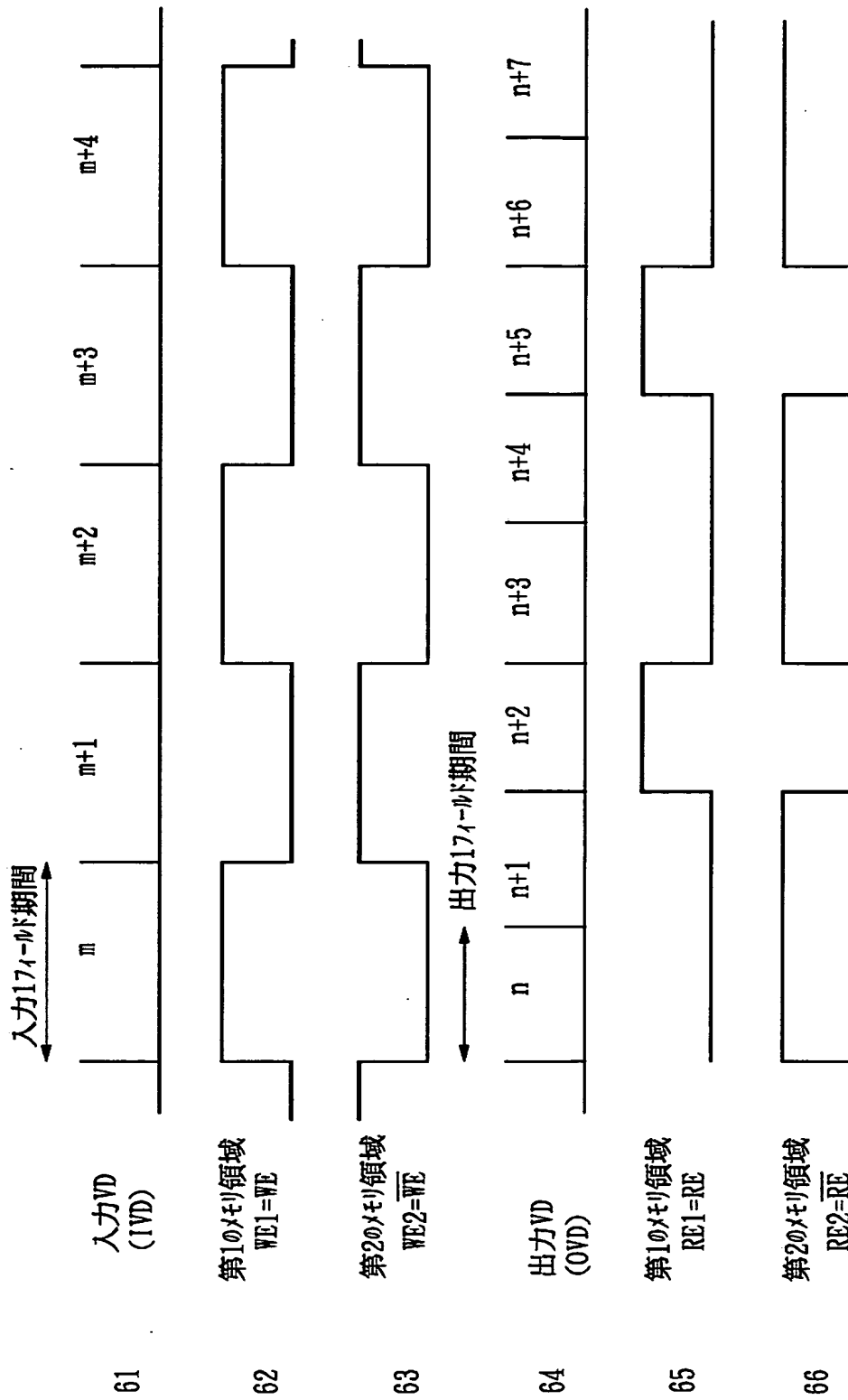
【図 8】



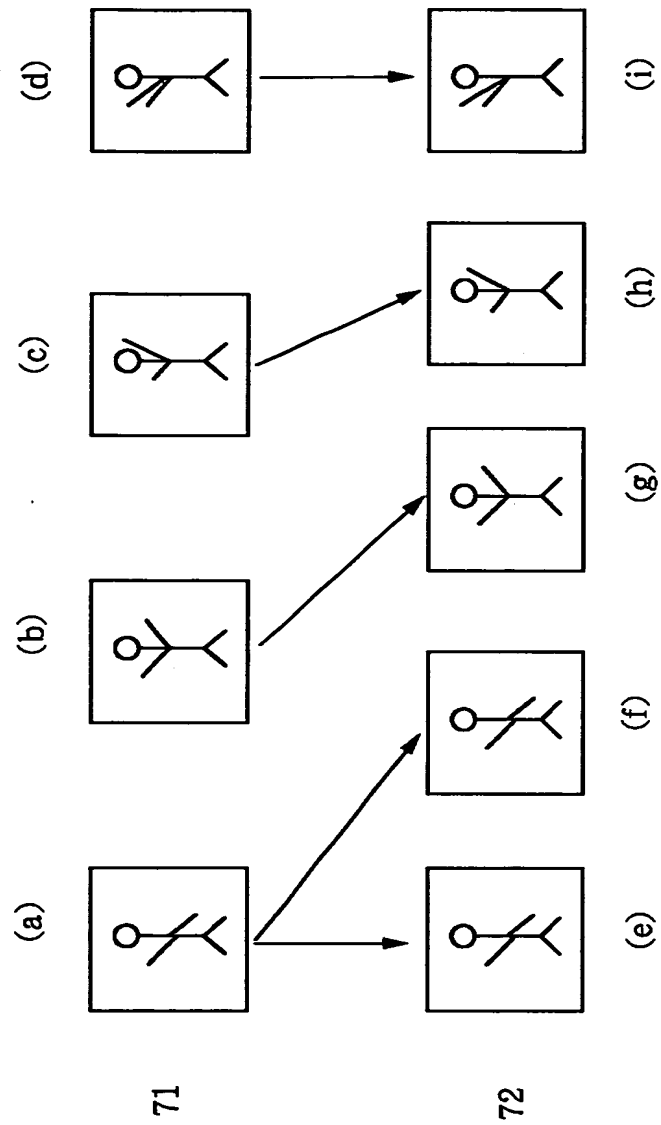
【図 9】



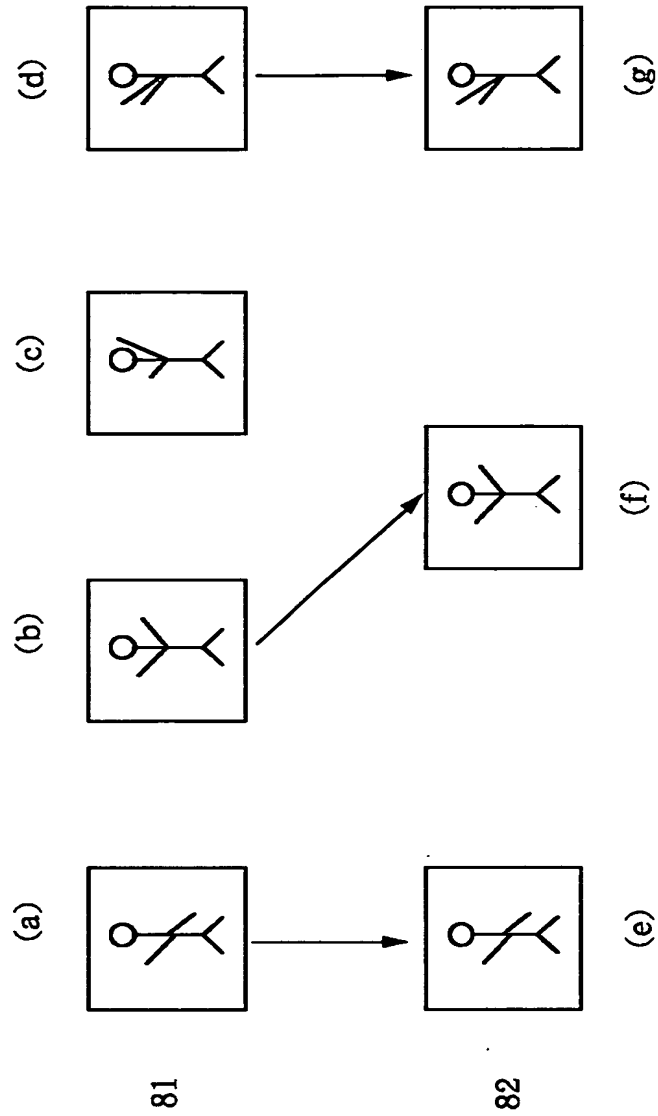
【図 1 0】



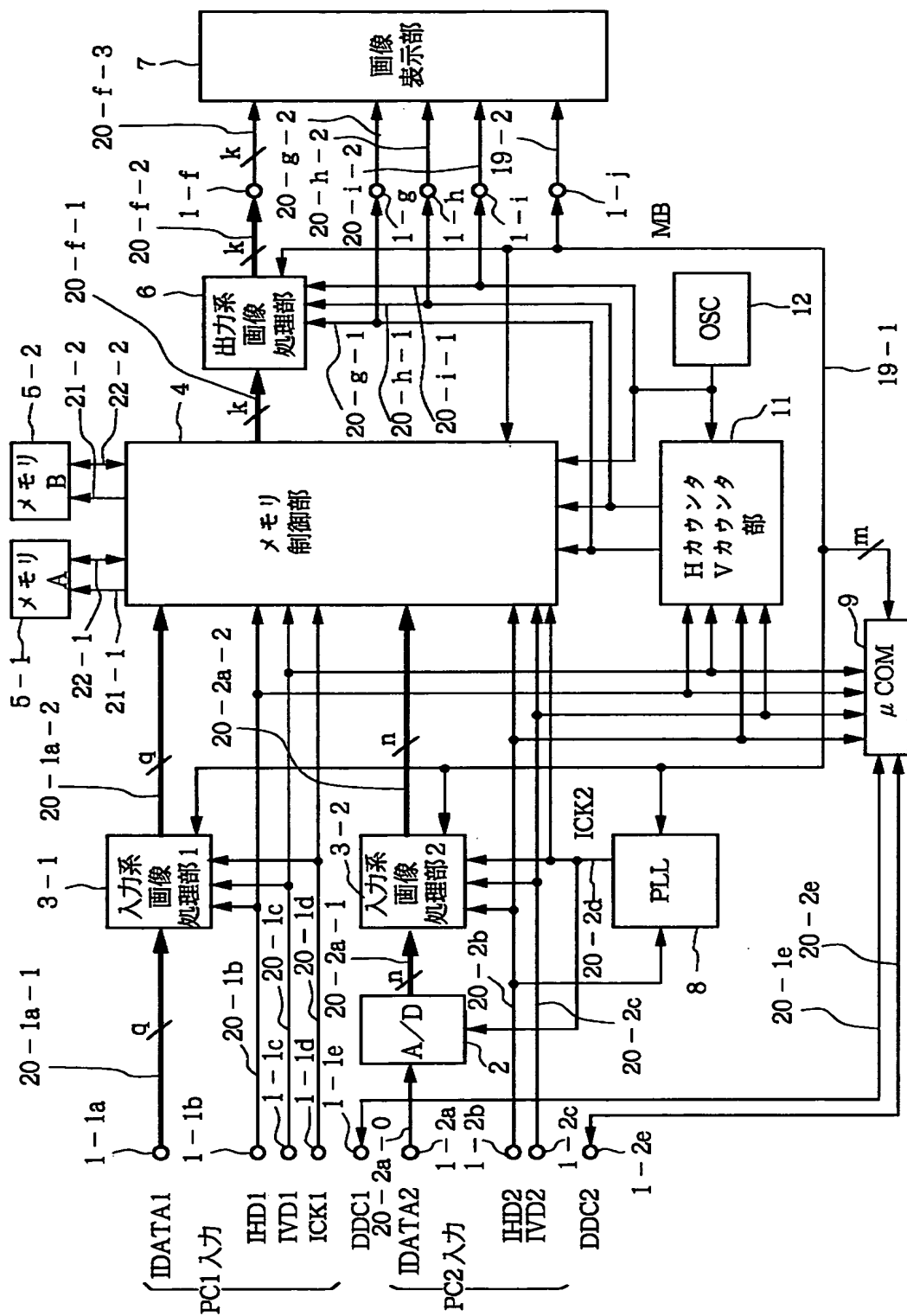
【図 1 1】



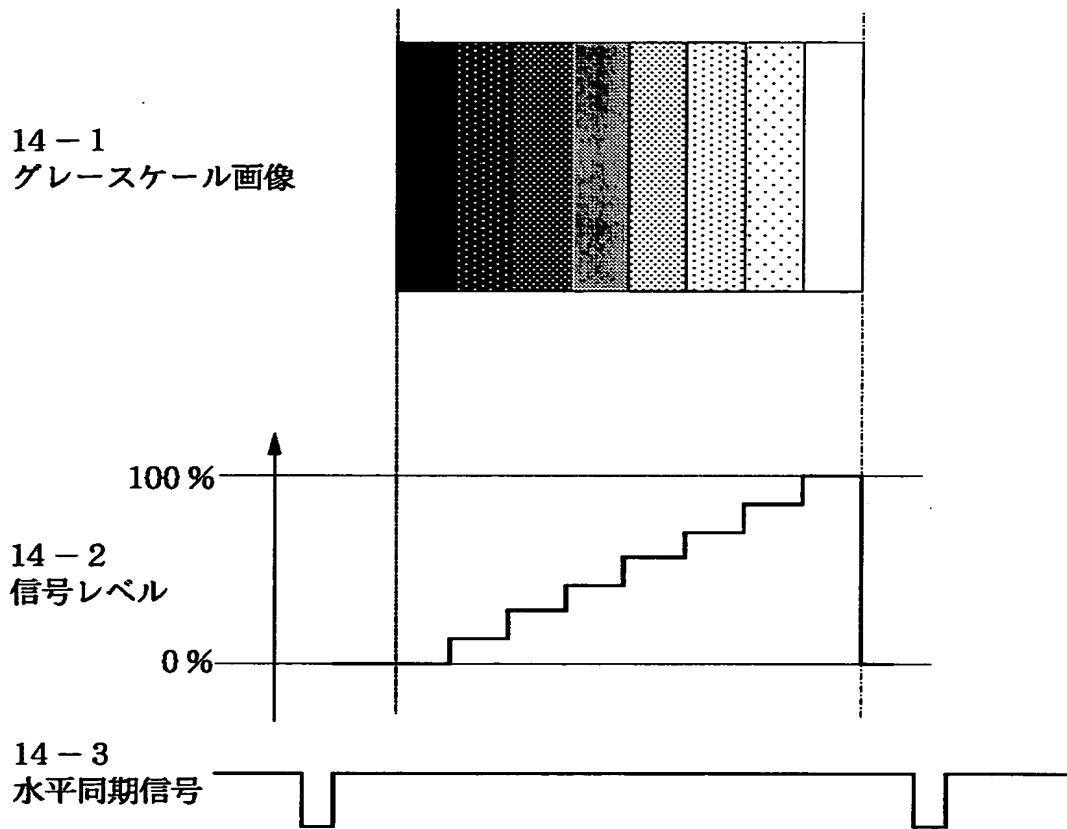
【図 1 2】



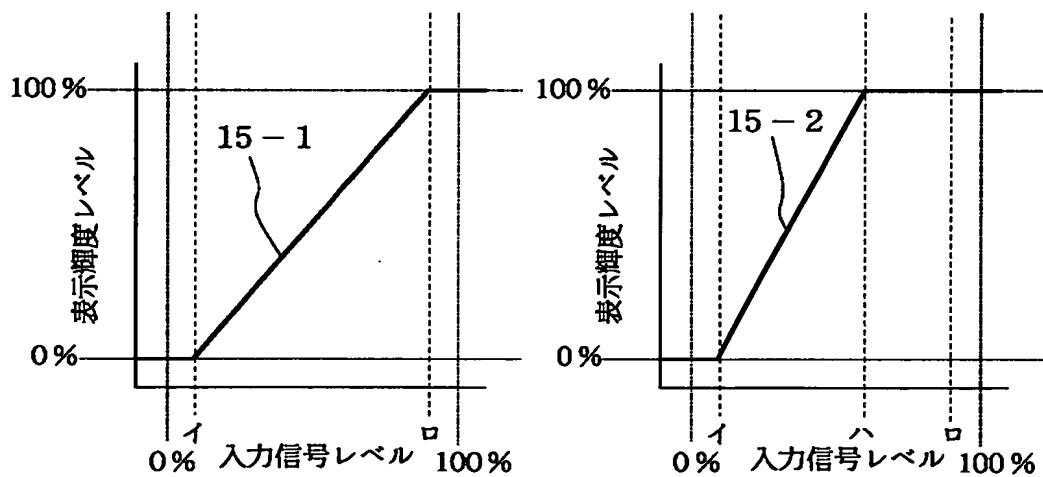
【図 13】



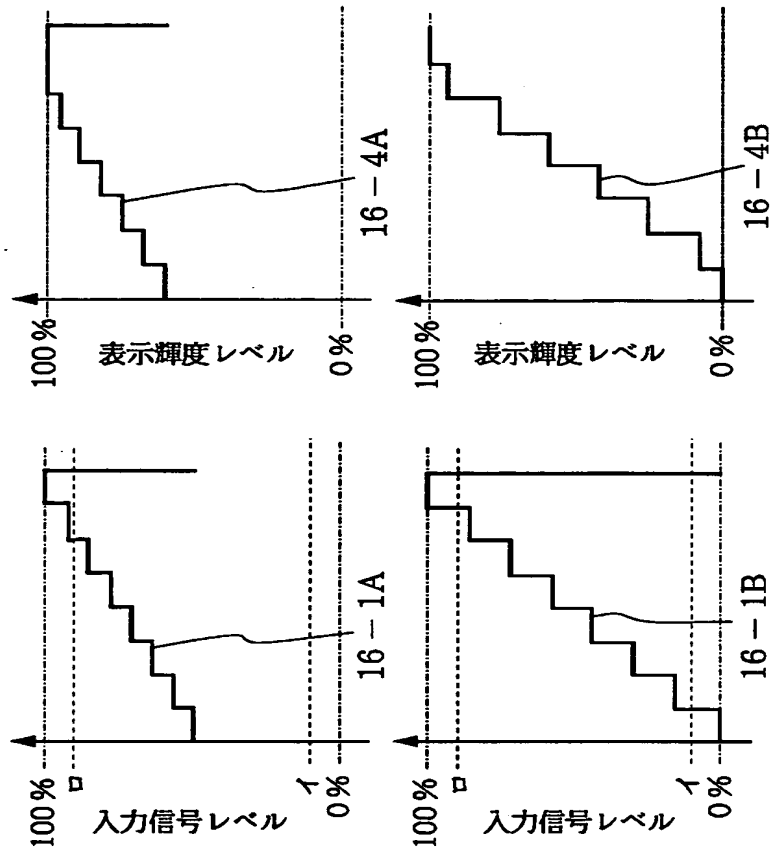
【図 14】



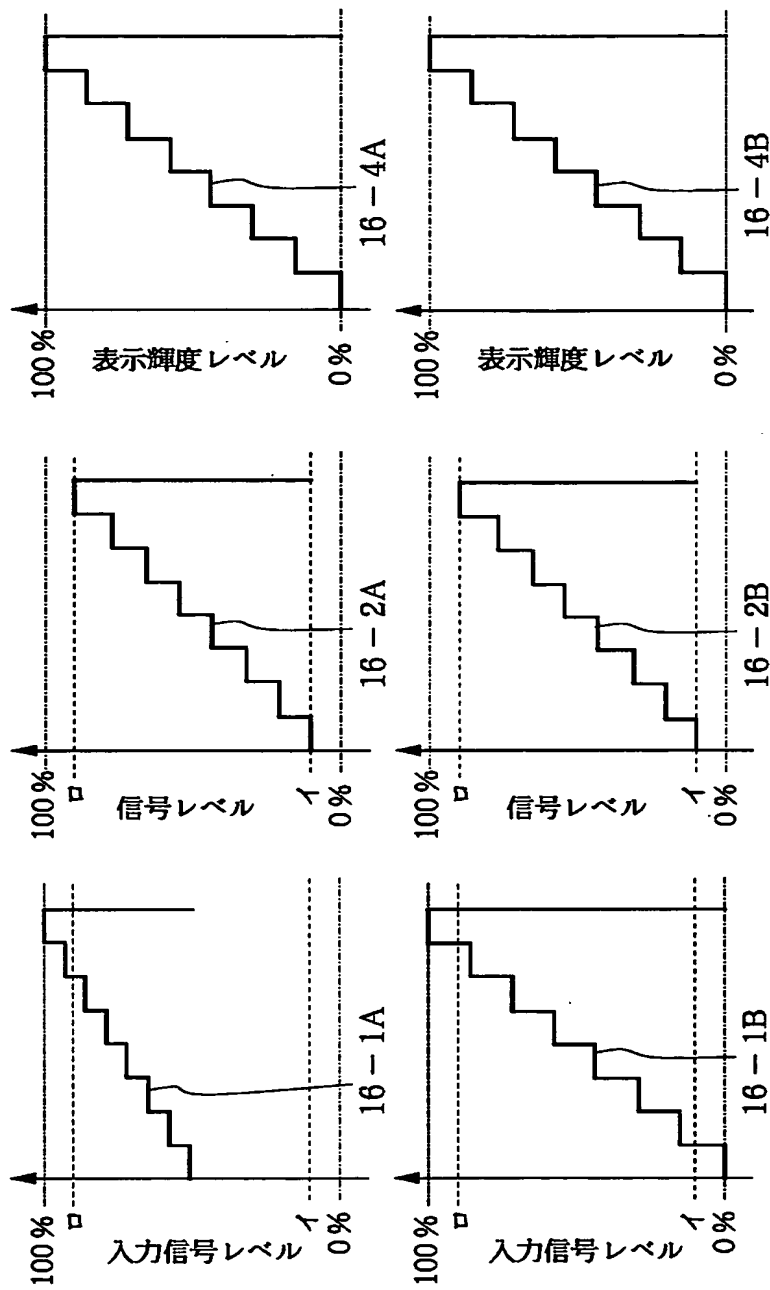
【図 15】



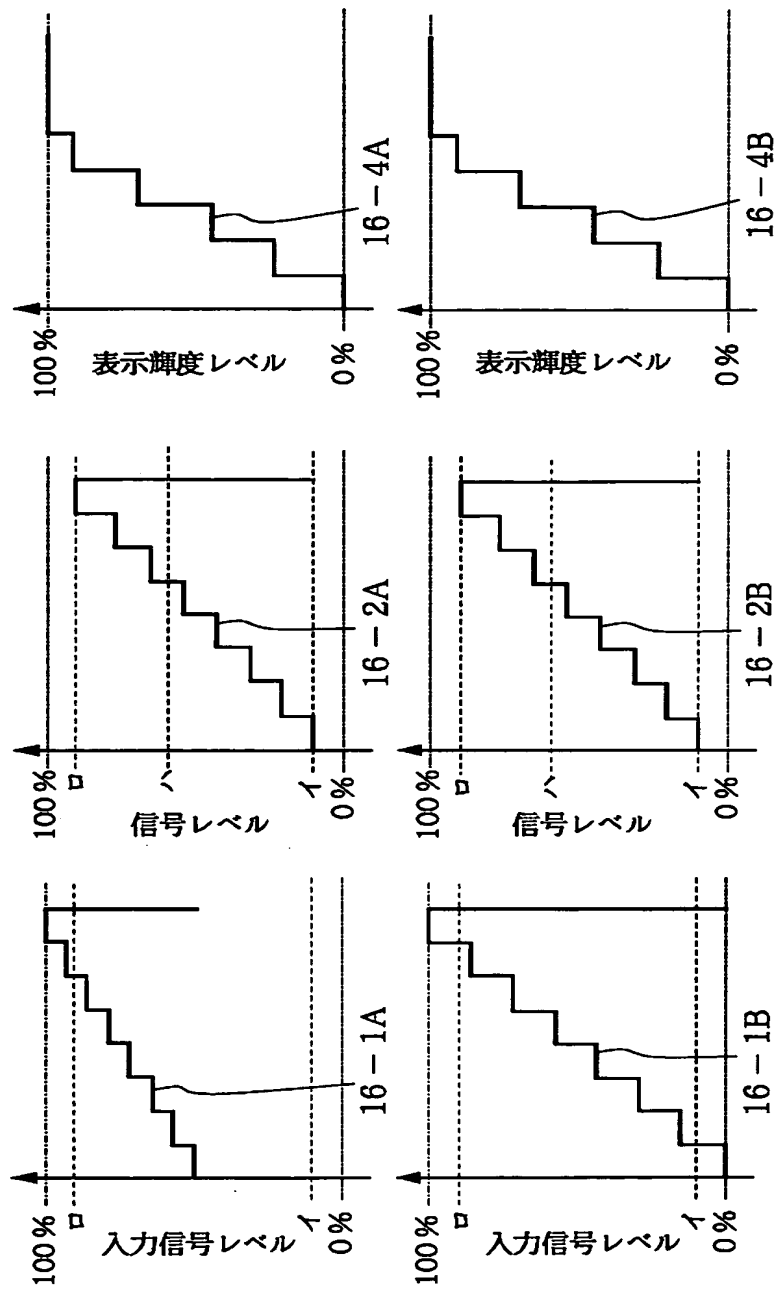
【図 1 6】



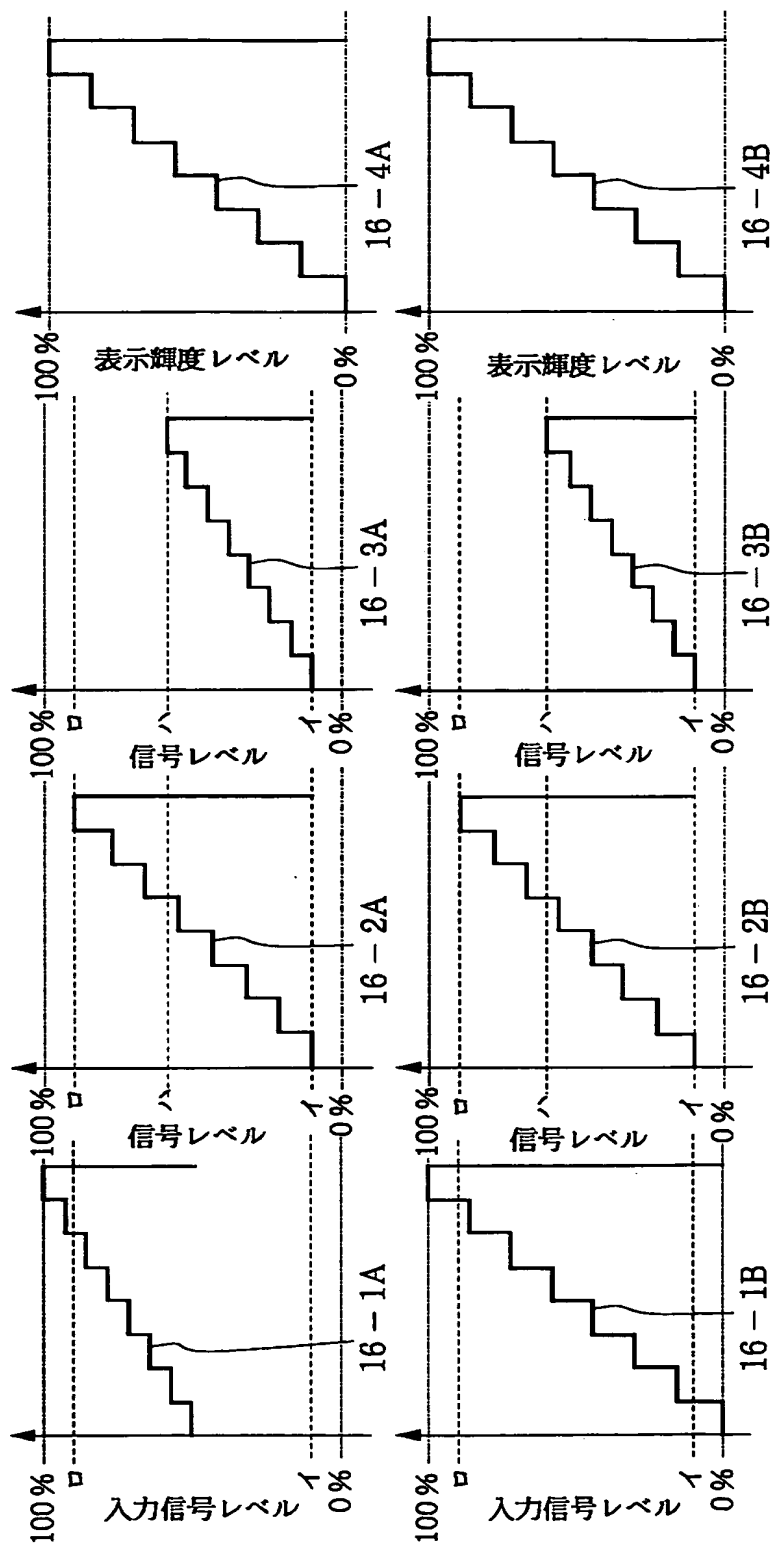
【図 1 7】



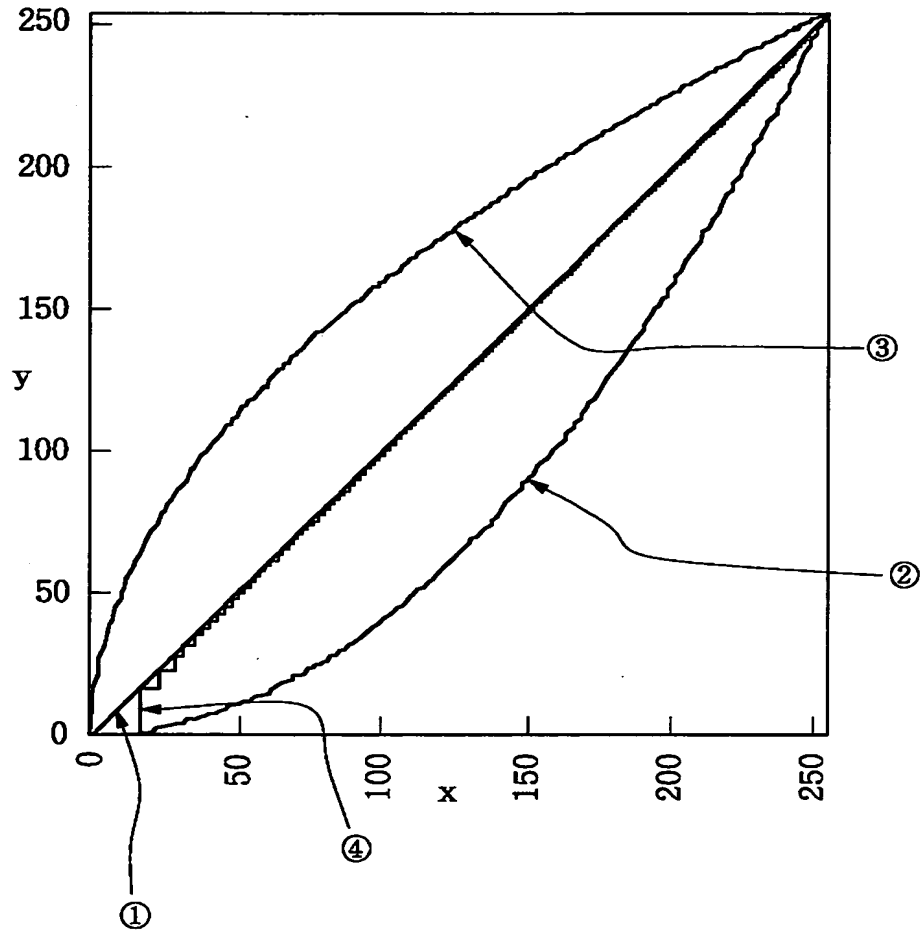
【図 18】



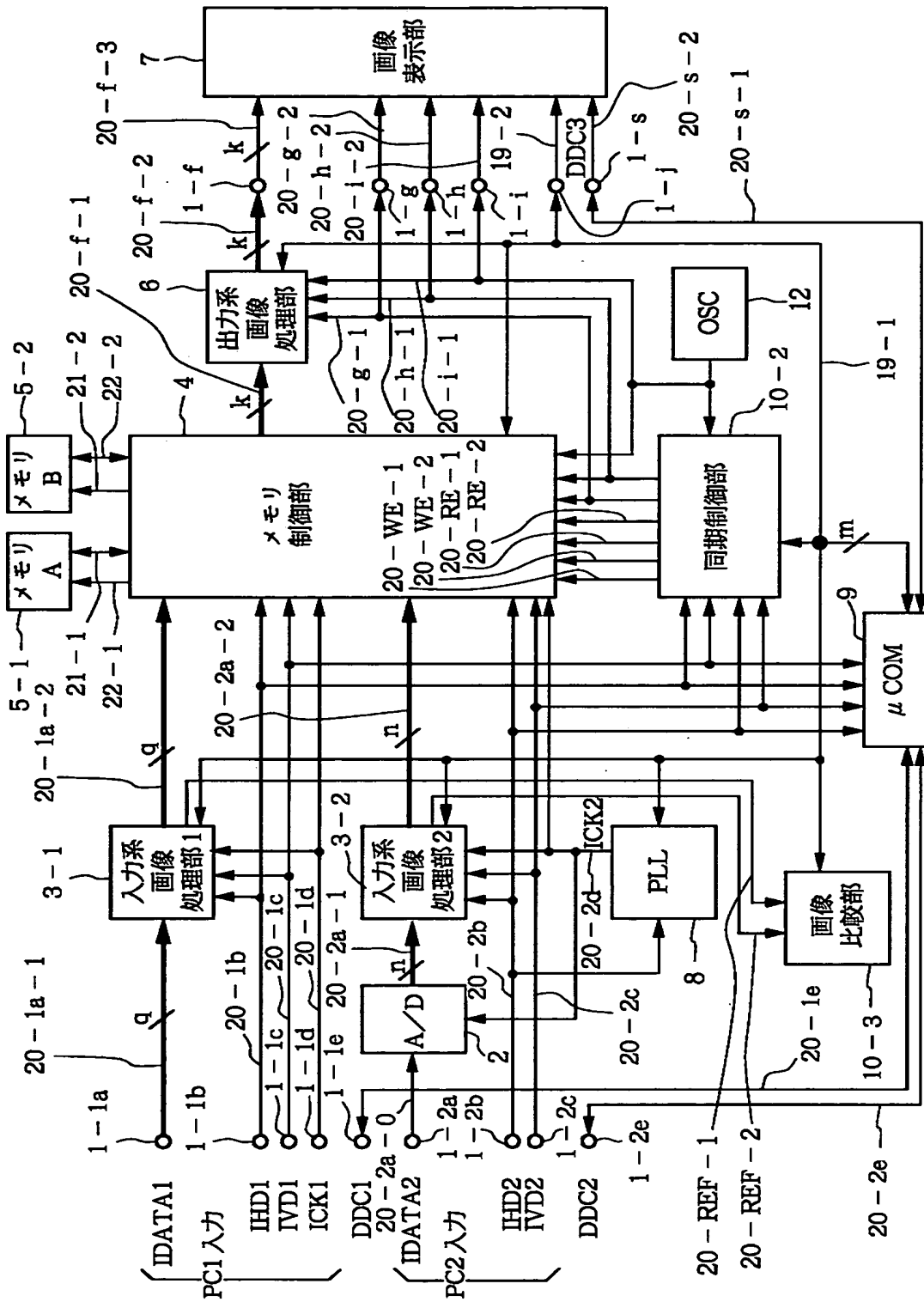
【図 19】



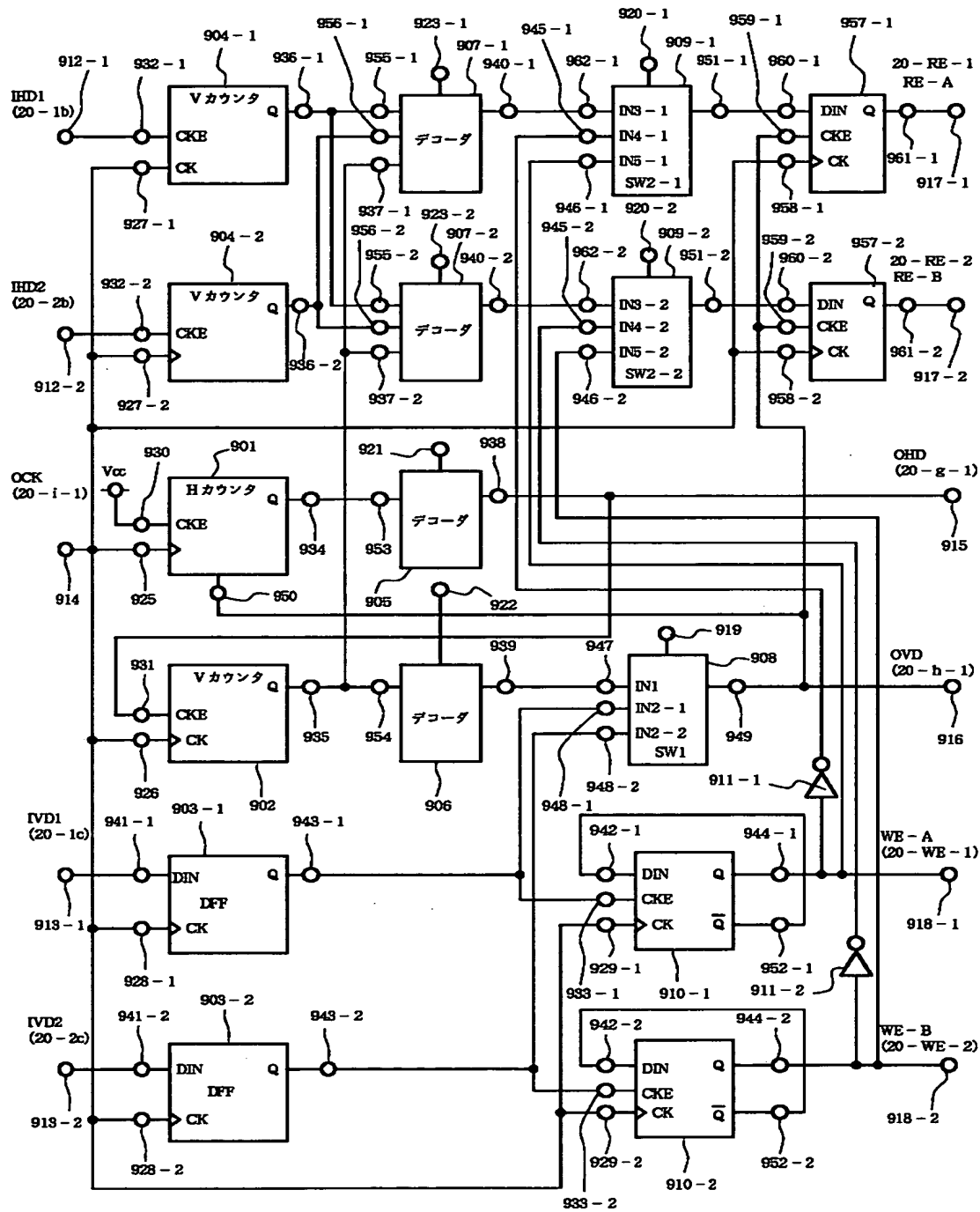
【図 2 0】



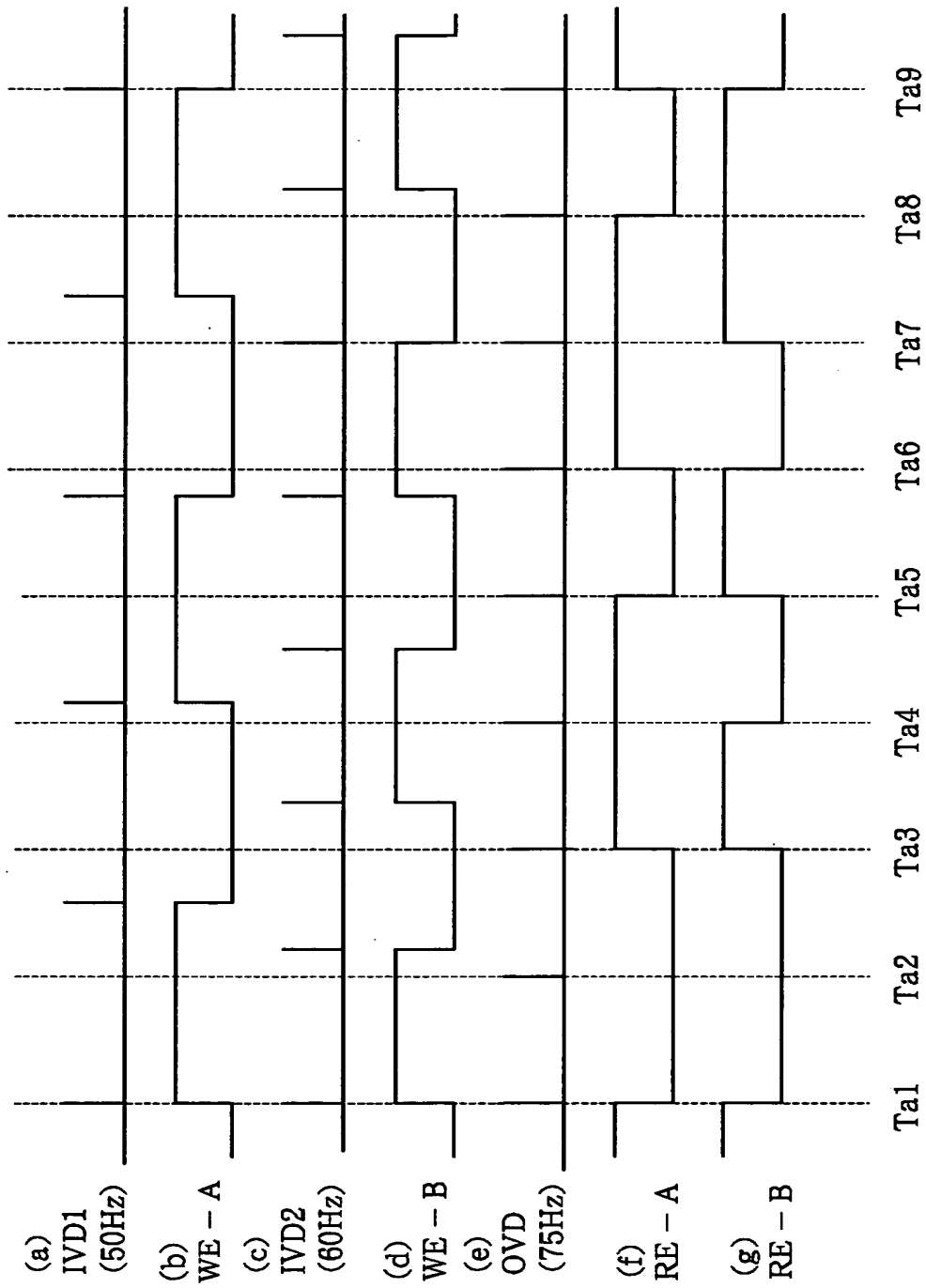
【図 21】



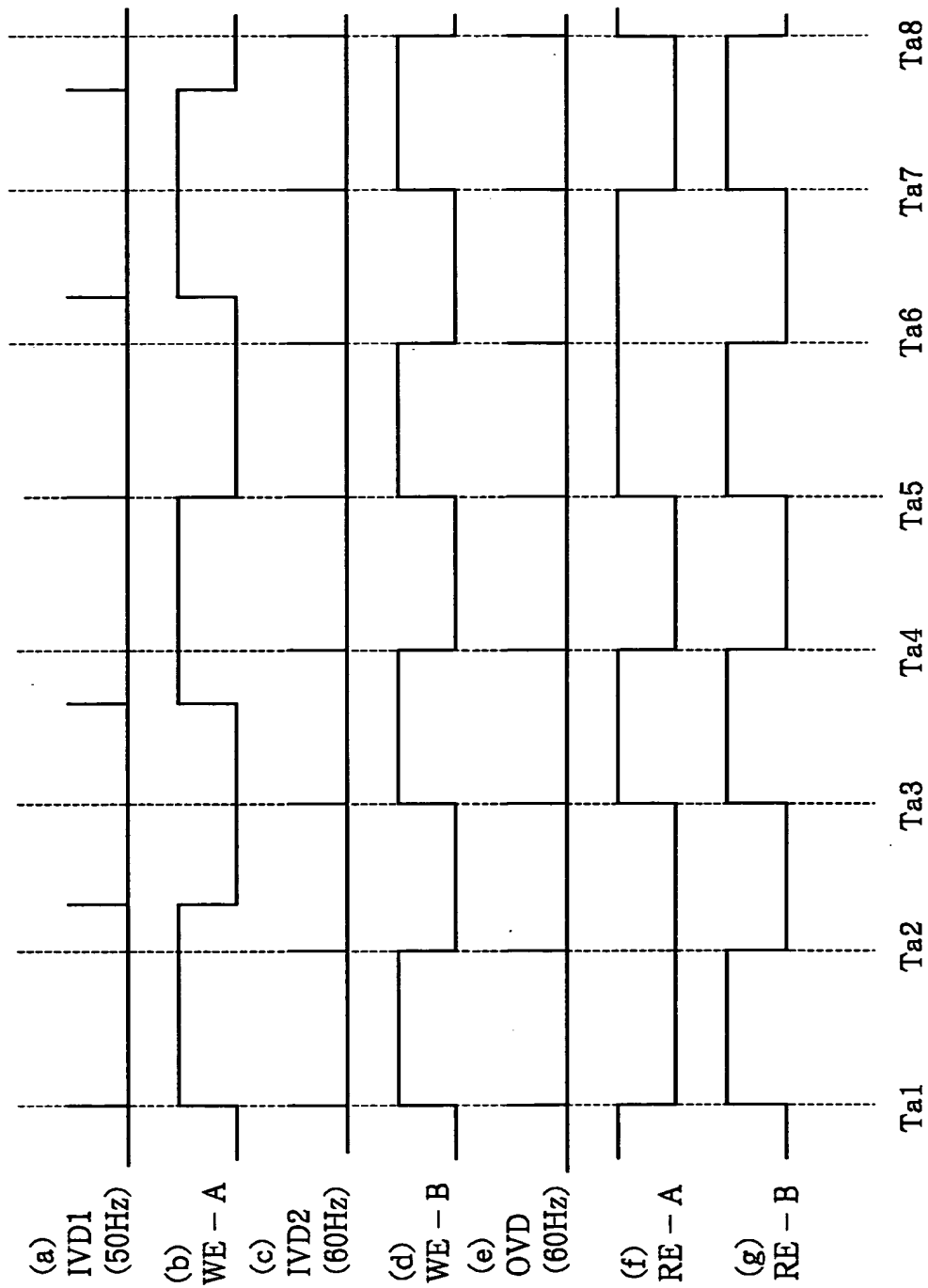
【図 22】



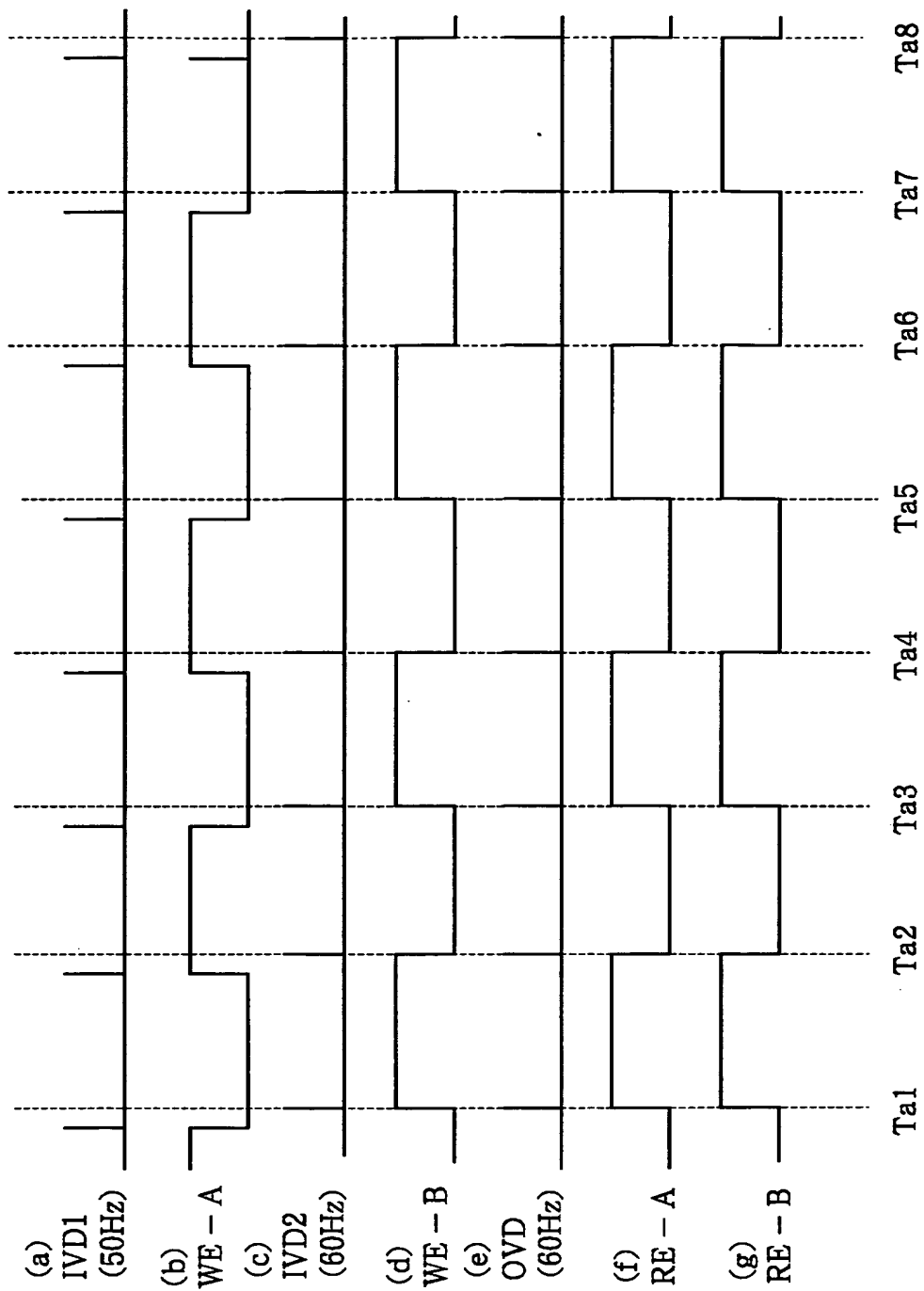
【図 2 3】



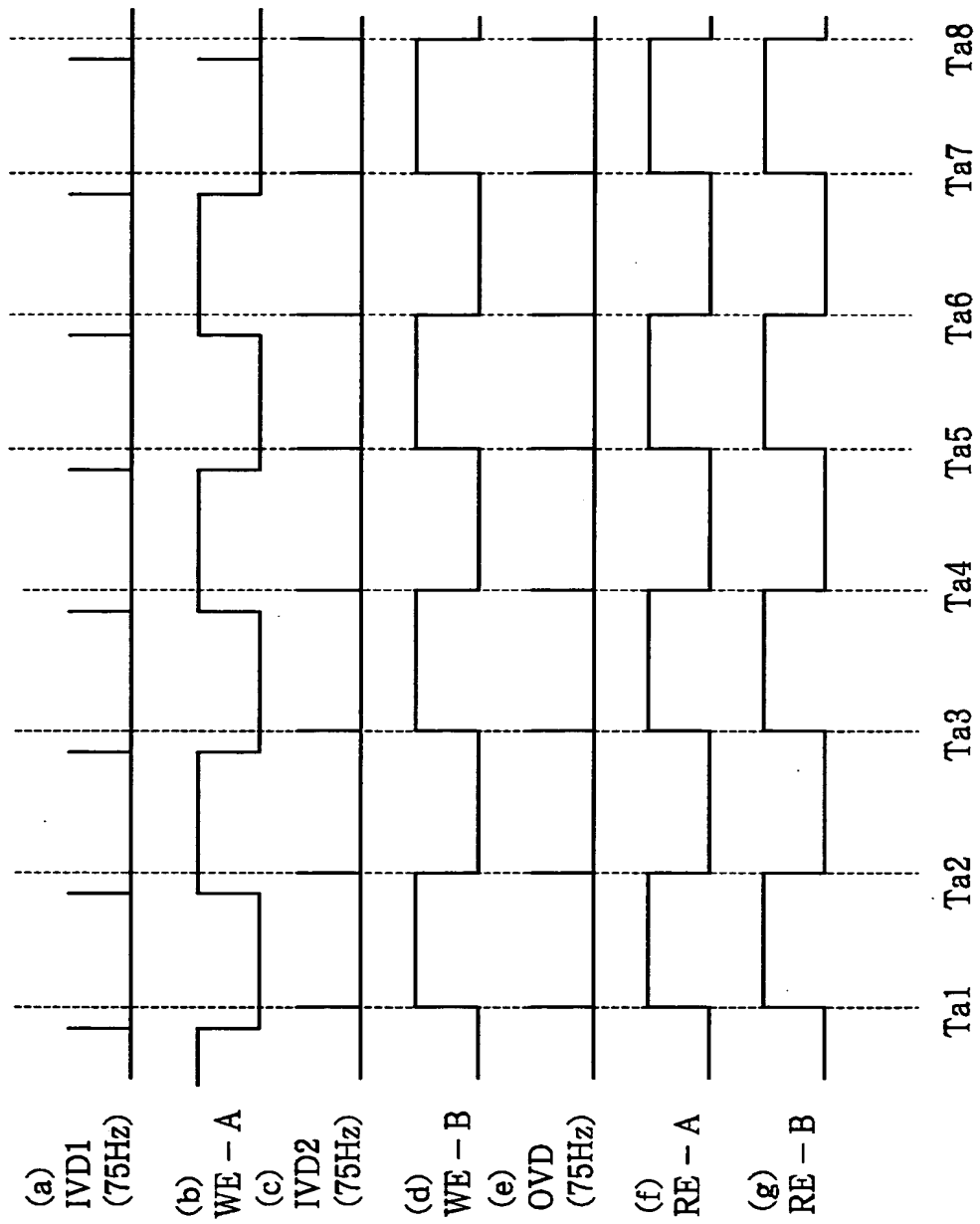
【図 2 4】



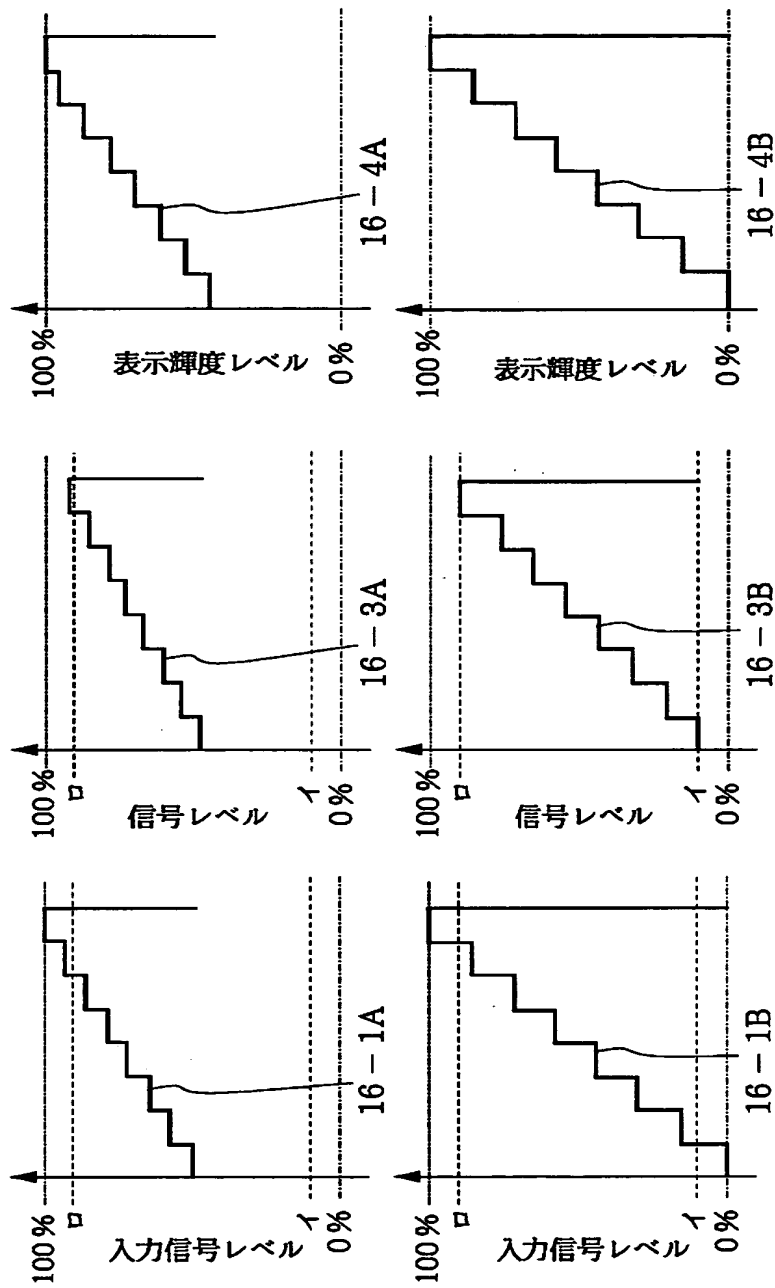
【図 2 5】



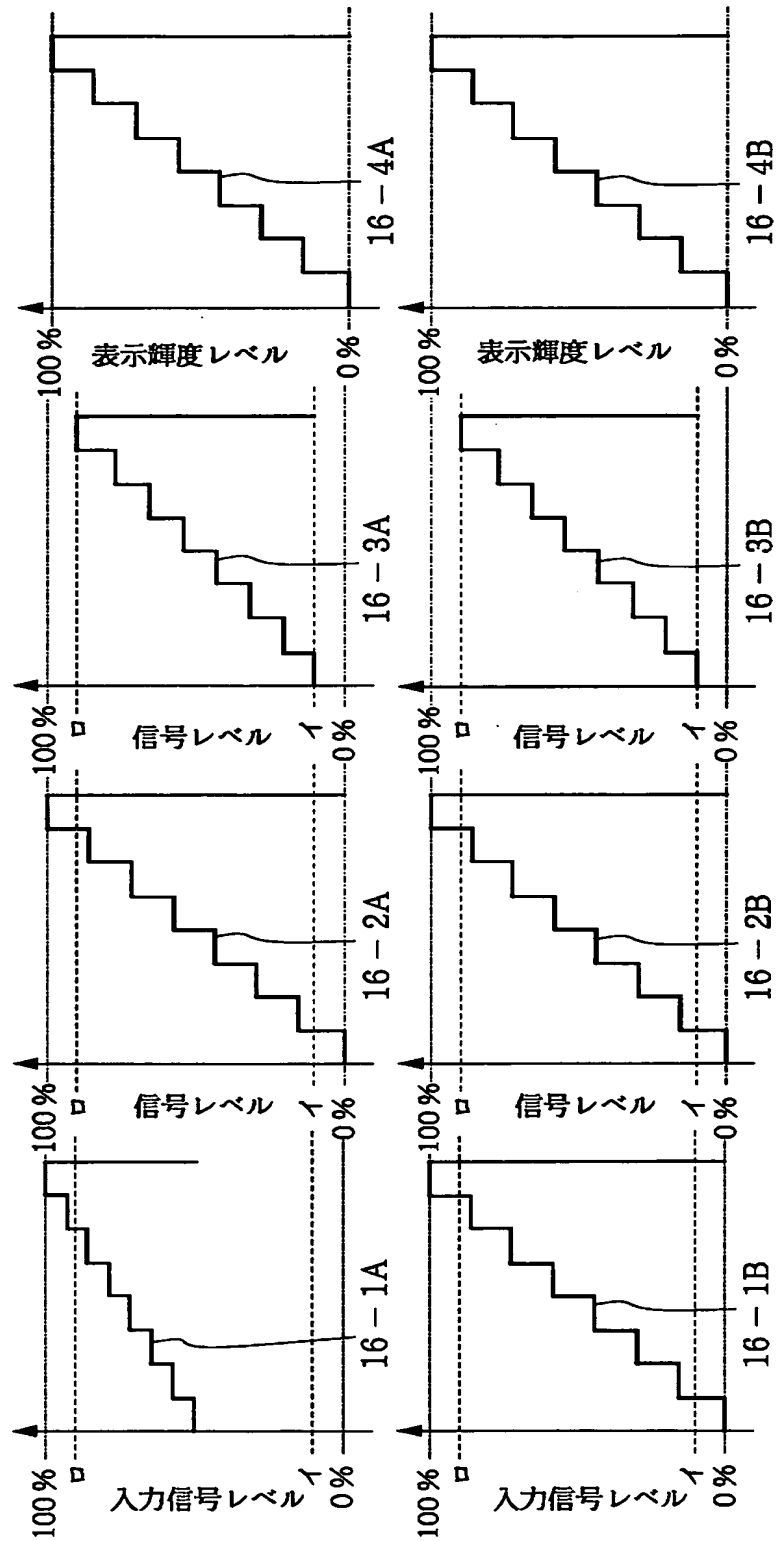
【図 2 6】



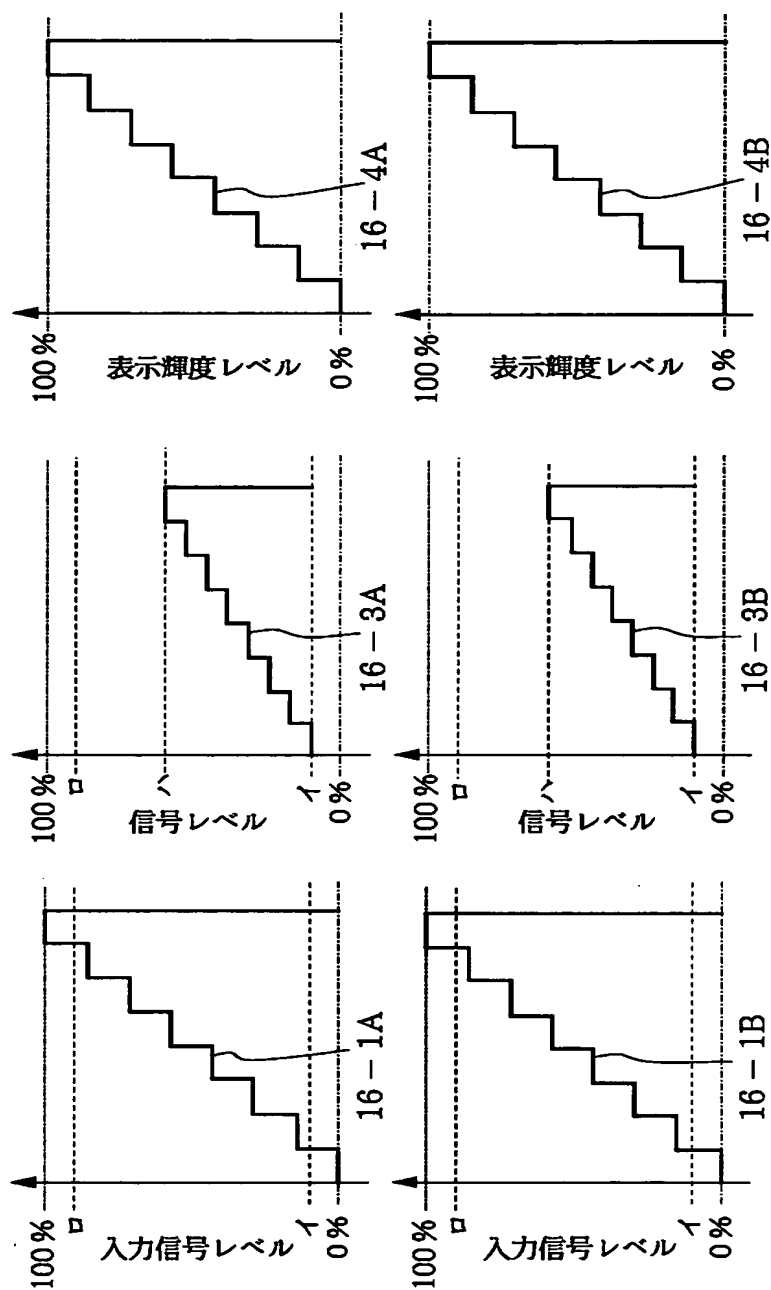
【図 2 7】



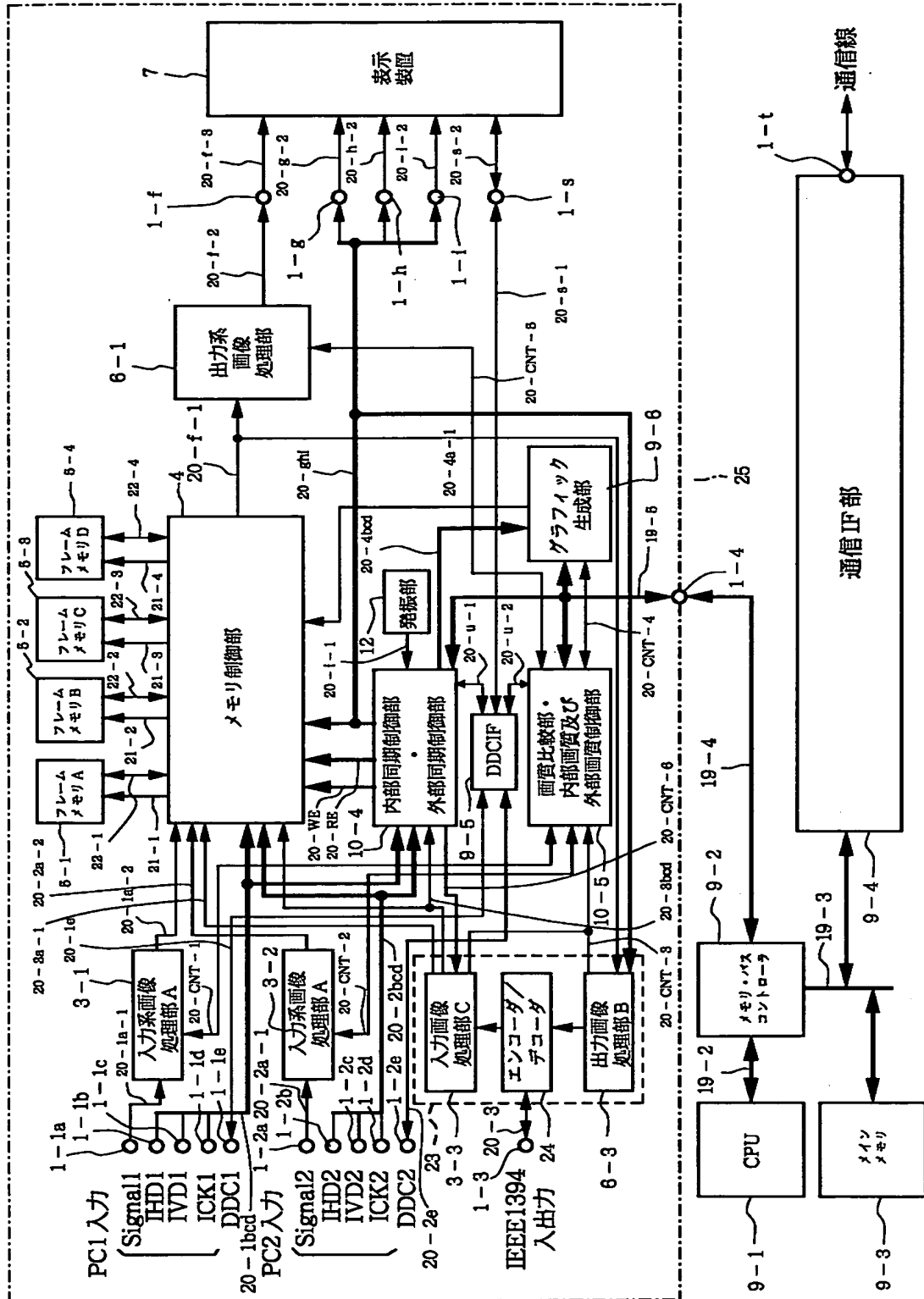
【図 28】



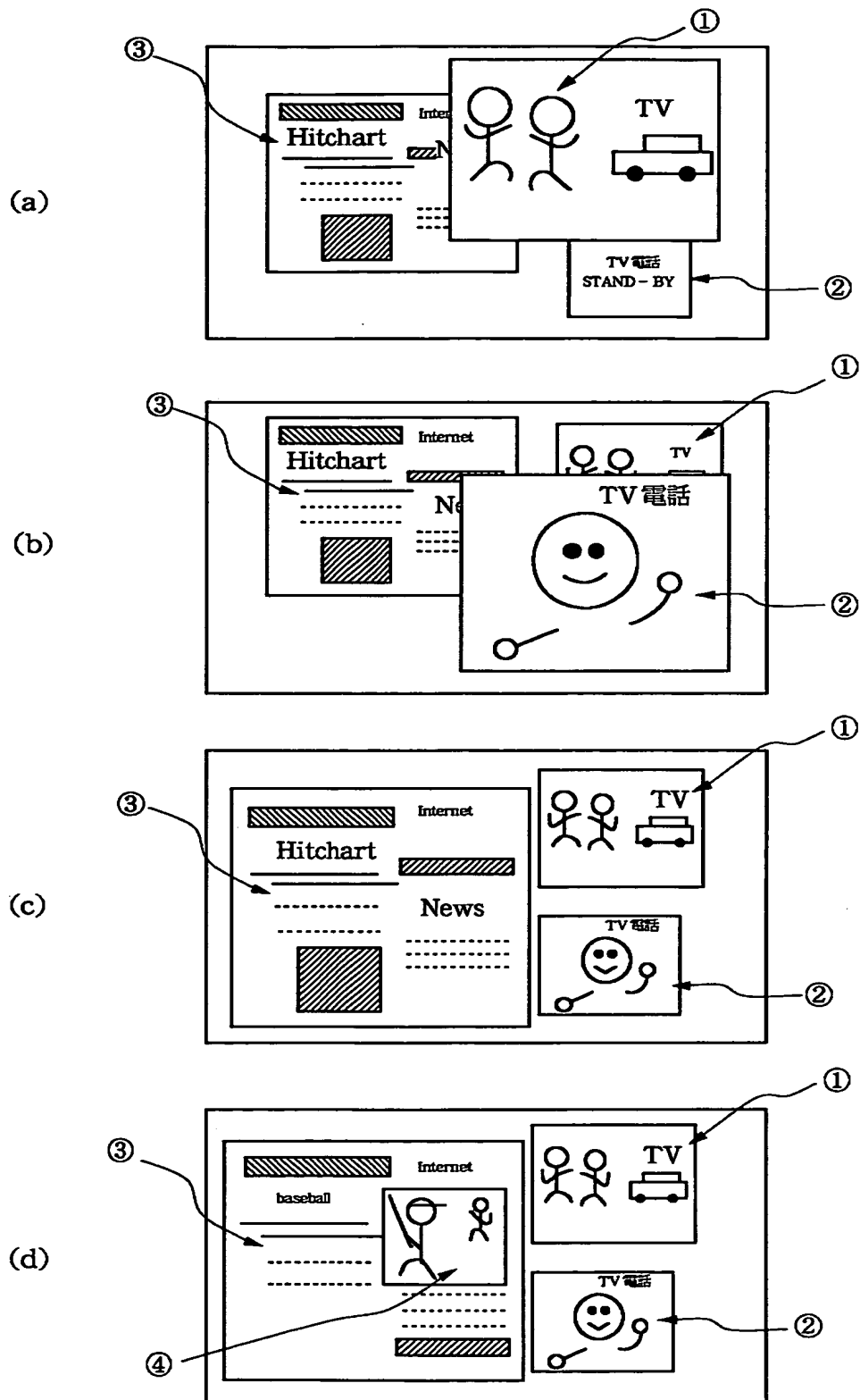
【図 2 9】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 安価かつ簡単な回路構成で動画像の画質を改善する。また、複数の入力信号源に対しても、柔軟に動画質に対して適した処理を行なう。

【解決手段】 少なくとも1画面分の画像を記憶する記憶領域を有するメモリ部と、第一のクロックと第一の画像同期信号により、このメモリ部へ画像データを書き込むための入力系の動作を行ない、第二のクロックと第二の画像同期信号により、このメモリ部から読み出した画像データを出力する出力系の動作を行なうメモリ制御部と、前記第二のクロックを作成するクロック発生部と、第二のクロックを入力し前記第二の画像同期信号を出力する同期制御部とからなる画像処理装置において、前記同期制御部は、第二のクロックを分周して、第一の画像同期信号とは非同期の第三の画像同期信号と、第二のクロックにより、第一の画像同期信号を同期化して作成した第四の画像同期信号を作成するとともに、第三の画像同期信号と第四の画像同期信号の中から1つを選択し、前記第二の画像同期信号として出力する。入力画像信号は複数であってもよく、その場合、同期制御部は入力画像信号の数に応じた数の第四の画像同期信号を作成する。

【選択図】 図1

認定・付加情報

特許出願の番号	平成11年 特許願 第310785号
受付番号	59901067575
書類名	特許願
担当官	第二担当上席 0091
作成日	平成11年11月 8日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100086287

【住所又は居所】 東京都港区虎ノ門2丁目8番1号 虎ノ門電気ビル 伊東内外特許事務所

【氏名又は名称】 伊東 哲也

【選任した代理人】

【識別番号】 100103931

【住所又は居所】 東京都港区虎ノ門2-8-1 虎ノ門電気ビル伊東内外特許事務所

【氏名又は名称】 関口 鶴彦

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社



Creation date: 07-19-2004
Indexing Officer: RTEKLE - RAHEL TEKLE
Team: OIPEBackFileIndexing
Dossier: 09493270

Legal Date: 04-30-2003

No.	Doccode	Number of pages
1	IDS	2
2	NPL	4

Total number of pages: 6

Remarks:

Order of re-scan issued on